



République Algérienne Démocratique et Populaire

Ministère de l'Enseignement Supérieur et de la Recherche Scientifique

Université des Sciences et de la Technologie d'Oran Mohamed Boudiaf

Faculté de Génie électrique

MÉMOIRE

En vue de l'obtention du
Diplôme de Magistère

Présenté et Soutenu par :
Mr. BEHIIH Aissa

Intitulé
**Etude de la technologie MOS-SOI partiellement
désertée à très basse tension pour la réduction de
l'énergie dissipée dans les circuits électroniques.**

Département : Electronique
Spécialité : Electronique
Option : Composants et systèmes de la
microélectronique avancée

Le jury est composé de :

Pr. BELASRI Ahmed	Président	USTO-MB
Pr. RAHMANI Bouabdellah	Encadreur	USTO-MB
Pr. KAMECHE Mustapha	Examineur	USTO-MB
Dr. ABDELADIM Mustapha	Examineur	USTO- MB

Année Universitaire 20.../20...

Remerciements

Je souhaite tout d'abord remercier **ALLAH**, qui m'a donné la force et le courage afin de réunir mes études et accomplir ce mémoire.

Je tiens à remercier Monsieur **RAHMANI Bouabdellah**, professeur à l'université d'U.S.T. Oran. Je lui exprime toute ma reconnaissance pour m'avoir confié cet intitulé et précieux conseils qu'il n'a cessé de me prodiguer tout au long de ce travail.

Je tiens à remercier très vivement Monsieur **BELASRI Ahmed**, professeur à l'université d'U.S.T. Oran, d'avoir accepté de président le Jury de ce mémoire.

Je remercie Monsieur **KAMECHE Mustapha**, professeur à l'université d'U.S.T. Oran, pour avoir accepté d'examiner ce mémoire.

Je remercie Monsieur **ABDELADIM Mustapha**, Maitre de conférences à l'université d'U.S.T. Oran, pour avoir accepté d'examiner ce mémoire.

Mes remerciements se portent ensuite vers tous les enseignants qui m'ont enseigné pendant l'année théorique.

A remercie tous amis qui apportent aide et assistance dans les moments difficiles.

Les mots sont trop pauvres pour exprime ma gratitude à mon cher père et à ma chère mère, à toute ma famille pour leur aide et leurs encouragements durant ce travail.

DÉDICACE

Je dédie ce travail à mes parents pour leur soutien moral sur tant ma mère que dieu me la garde, à mes frères, mes sœurs, à toute la famille BEHIIH ainsi que tous mes amis et n'oublie pas tous les enseignants qui m'ont appris depuis la phase primaire jusqu'à l'université.

Merci pour tous.

Résumé:

Cette étude a pour but la réduction de l'énergie dissipée dans les circuits électroniques produits par la technologie MOS-SOI-PD de nœud 130 nm.

La conception des circuits intégrés utilise une basse tension d'alimentation. Il est donc nécessaire de développer des circuits microélectroniques de très basse tension. La réduction de la tension d'alimentation V_{dd} est très intéressante puisque cela permet de réduire la puissance dynamique. L'isolation de la zone active de MOS-SOI-PD par l'oxyde enterré (SiO_2) permet la réduction des capacités parasites (capacités des jonctions) qui suppriment les effets indésirables, tel que le phénomène de verrouillage (lath-up).

Mais l'oxyde enterré (SiO_2) n'est pas exempt d'inconvénients dans les composants semi-conducteur. La faible conductivité thermique d'oxyde de silicium provoque ainsi l'élévation de la température et engendre des effets néfastes. Ceux ci diminuent la fiabilité du dispositif et impose un système de refroidissement nécessaire aux circuits intégrés. D'autre effet les électrons du canal peuvent s'échapper vers la grille par l'intermédiaire de l'oxyde (SiO_2).

La solution à ces inconvénients, consiste donc à remplacer le diélectrique standard (SiO_2) par un autre diélectrique de haute permittivité et de grand gap (l'oxyde hafnium (hfo_2), etc...).

Les mots clé : Transistor MOS-bulk, transistor MOS-SOI-PD, basse tension d'alimentation, le courant de saturation (I_{ON}), le courant de fuite (I_{OFF}), la puissance dynamique, la puissance statique.

ملخص:

تهدف هذه الدراسة إلى تقليل الطاقة التي تتبدد في الدوائر الإلكترونية التي تنتجها تقنية عقدة MOS-SOI-PD .130nm

يستخدم تصميم الدوائر المتكاملة هذا الجهد الكهربائي المنخفض. لذلك من الضروري تطوير دوائر إلكترونية دقيقة ذات جهد منخفض للغاية. يعد الحد من جهد التغذية V_{dd} أمرًا مثيرًا للاهتمام لأنه يتيح إمكانية تقليل الطاقة الديناميكية. إن عزل المنطقة النشطة لـ MOS-SOI-PD بواسطة الأكسيد المدفون يسمح بتقليل السعات الطفيلية (قدرات الوصلات) التي تكبح التأثيرات غير المرغوب فيها ، مثل قفل الظاهرة (الرموش) .

لكن أكسيد الدفن لا يخلو من عيوب مكونات أشباه الموصلات. تؤدي الموصلية الحرارية المنخفضة جدًا لأكسيد السيليكون إلى ارتفاع درجة الحرارة وتؤدي إلى آثار ضارة تقلل من موثوقية الجهاز وتفرض نظام تبريد ضروري للدوائر المتكاملة، وعلاوة على ذلك ، تستطيع إلكترونات القناة الهروب إلى البوابة عبر أكسيد (SiO_2). الحل الذي تتم دراسته ، لذلك ، يتكون من استبدال عازل قياسي (SiO_2) بعازل آخر عالي السماحية وفجوة كبيرة (أكسيد الهافنيوم (hfo_2) ، إلخ).

مفتاح الكلمات: الترانزستور MOS-bulk ، الترانزستور MOS-SOI المهجور جزئيا ، جهد المنخفض لتغذية، تيار التشبع (I_{ON}) ، تيار التسرب (I_{OFF}) ، القدرة الديناميكية ، القدرة الساكنة.

Sommaire

Remerciements	
Dédicace	
Résumé	
Sommaire.....	1
Liste des figures.....	5
Liste des tableaux	8
Introduction générale	9

Chapitre-I : La technologie MOS-SOI-PD

Introduction	11
I.1 La technologie MOS -SOI-PD.....	11
I.1.1 Diminution du nombre d'étapes de développement	12
I.1.2 Absence du phénomène verrouillage (latch-up)	12
I.1.3 Simplification des étapes de siliciuration ou métallisation	12
I.1.4 Les substrats MOS-SOI	13
I.1.4.1 La méthode SIMOX	13
I.1.4.1.1 Les avantages SIMOX	14
I.1.4.1.2 Les inconvénients SIMOX	14
I.1.4.2 La méthode Smart-Cut.....	15
I.1.4.2.1 Les avantages du Smar-Cut	15
I.1.4.3 La méthode BESOI	15
I.1.4.3.1 Les avantage BESOI	16
I.1-4.3.2 Les inconvénients BESOI.....	16
I.1.5 Description de la technologie MOS-SOI-PD à 130nm	17
I.2 Les transistors MOS-SOI flottant et à prises	19
I.3 Fonctionnement des transistors MOS-SOI	19
I.3.1 La tension de seuil du MOS-SOI-PD	19
I.3.2 Courant en régime d'ohmique	20
I.3.2.1 Inversion faible	20
I.3.3 Courant en régime de commutation	21
I.3.3.1 Inversion forte	21
I.3.4 Transistors MOS-SOI partiellement et totalement désertés	21
I.3.5 Propriétés électriques des composants MOS-SOI-PD et MOS-SOI-TD	22
I.4 Comparaison entre les deux transistors MOS-SOI-PD et MOS-bulk	24
I.4.1 Les améliorations du MOS-SOI-PD par rapport au MOS-bulk.....	24
I.4.1.1 Elimination des capacités de jonction.....	24
I.4.1.2 Chute la tension de seuil.....	25
I.4.1.3 Effet source en série.....	26
I.4.1.4 Sensible aux rayonnements.....	26

I.4.2 Les défauts du MOS-SOI-PD et MOS-bulk.....	26
I.4.2.1 Variabilité du délai	26
I.4.2.2 Coût.....	27
I.5 Les motivations pour l'utilisation des transistors MOS-SOI-PD.....	28
I.6 Désignation de la valeur de tension d'alimentation.....	28
Conclusion	31
Bibliographie.....	32

Chapitre-II : Les effets physiques et miniaturisations liés à la technologie MOS-SOI-PD

Introduction.....	33
II.1 Les effets physiques.....	33
II.1.1 L'effet d'auto - échauffement.....	33
II.1.1.1 Variation de la mobilité avec la température dans les canaux longs	34
II.1.1.2 Evolution de la vitesse de saturation avec la température dans les canaux Courts.....	36
II.1.1.3 Effet de la température sur la tension de seuil dans les canaux longs.....	37
II.1.1.4 Influence de l'épaisseur de l'oxyde enterré et la largeur du transistor sur l'effet d'auto-échauffement.....	38
II.1.2 Les effets liés au potentiel de MOS-SOI à substrat flottant et à prise.....	42
II.1.2.1 L'effet KINK	42
II.1.2.2 L'effet secondaire du transistor bipolaire parasite	45
II.2 Les effets des miniaturisations MOS-SOI-PD.....	46
II.2.1 Problèmes liés aux faibles épaisseurs d'oxyde.....	46
II.2.2 La déplétion de grilles.....	47
II.2.3 Les problèmes au dopage du dispositif.....	47
II.2.4 Les effets des canaux courts.....	47
II.2.4.1 La distribution de la charge de déplétion.....	47
II.2.4.2 L'abaissement de la barrière de potentiel induit par le drain(DIBL).....	48
Conclusion.....	49

Chapitre-III : La simulation MOS-SOI-partiellement désertée

Introduction.....	51
III.1 Modèle Alexandre Valentin.....	51
III.2 Comparaison entre les deux modèles Angelove et modèle A.valentin à influence des effets canal court.....	53

III.3 Caractéristique sous seuil analytique à ce modèle (sous le seuil diode).....	53
III.4 Les comportements de modèle avec les grandeurs g_m et g_{ds}	56
III.4.1 Transconductance g_m en fonction de la polarisation V_{gs} , V_{ds} variable.....	56
III.4.2 Conductance g_{ds} en fonction de la polarisation V_{ds} , V_{gs} variable.....	56
III.5 Schéma équivalent du transistor MOS-SOI-PD (petit signal)	57
III.5.1 Mesure paramètre du dispositif (MOS-SOI- PD).....	58
III.5.1.1 Les capacités de grille en fonction de la charge grille.....	59
III.5.1.2 Imaginaire et réel des paramètres quadripôle (y_{11} , y_{12} , y_{21} , y_{22})	62
III.5.2 Les comportements des grandeurs g_m et g_{ds} à ce schéma électrique.....	63
III.6 Comparaison des caractéristiques I_{ds} (V_{gs}) entre le modèle analytique et mesure paramètre Y avec, $V_{ds}=120\text{mv}$	64
III.7 Schéma équivalent du transistor MOS-bulk (petit signal).....	65
III.7.1 Mesure paramètre du dispositif (MOS-bulk).....	66
III.8 La comparaison entre les deux modèles électriques (MOS-bulk et MOS-SOI-PD) aux niveaux de l'énergie	68
III.9 L'énergie dissipée à deux transistors MOS-bulk et MOS-SOI-PD	68
Conclusion.....	69

Chapitre-IV : Résultats et discussion

Introduction.....	71
IV.1 Variation du courant de drain en fonction de la température.....	71
IV.1.1 Variation $I_{ds} = f(V_{ds})$ avec $V_{gs}=\text{cte}$ pour différentes la températures T.....	71
IV.1.2 Variation $I_{ds} = f(V_{gs})$ avec $V_{ds}=\text{cte}$ pour différentes la températures T.....	72
IV.2 Les caractéristiques électriques de modèle A.Valentain.....	73
IV.2.1. Courant de drain $I_{ds} = f(V_{ds})$	73
IV.2.1.1 Courant de drain pour différentes valeurs de V_{gs}	73
IV.2.1.2 Courant de drain pour différentes largeurs W, $L=0.13\mu$	74
IV.2.1.3 Courant de drain pour différentes longueurs L, $W=10\mu$	75
IV.2.2. Courant de drain $I_{ds} = f(V_{gs})$	75
IV.2.2.1 Courant de drain pour différents valeurs de V_{ds}	75
IV.2.2.2 Courant de drain pour différents Largeurs W, $L=0.13\mu$	76
IV.2.2.3 Tension de seuil V_T	76

IV.2.3. Variation des courants I_{ON} et I_{OFF} avec la température.....	77
IV.3 Application à un inverseur.....	80
IV.3.1 Analyse statique	80
IV.3.2 Analyse dynamique	83
IV.3.2.1 Le temps de descente.....	84
IV.3.2.2 Le temps de monte.....	84
IV.3.2.3 Le temps de propagation	84
Conclusion.....	87
Conclusion générale	88
Annexes	89
Les symboles et les glossaires	94
Bibliographie	97

Liste des figures

Chapitre-I

Figure. I.1: (a) : Coupe schématique de transistor MOS bulk et (b) : Coupe schématique de transistor MOS-SOI (Silicon on Insulator)	11
Figure. I.2 : Schéma de la méthode SIMOX.....	14
Figure. I.3: Etapes de la méthode Smart-Cut.....	15
Figure. I.4: Schéma de représentation de la méthode BESOI	16
Figure. I.5: (a): Vue en coupe d'un transistor MOS-SOI et (b): Schéma de transistor NMOS de la technologie MOS-SOI à 130 nm.....	17
Figure. I.6 : Diagramme de bande d'énergie de structure MOS a.Substrat Bulk, b. Substrat SOI épais et C. Substrat SOI fin.....	18
Figure. I.7 : Transistors MOS-SOI partiellement désertés de différentes prises	19
Figure. I.8 : Courbe d'inversion faible	20
Figure. I.9: Courbe d'inversion forte.....	21
Figure. I.10: Transistor MOS-SOI totalement et partiellement désertée (TD et PD).....	22
Figure. I.11: Réseaux de capacités vus depuis la grille pour les MOS-SOI(a): totalement désertés et (b): partiellement désertés.....	23
Figure-I.12: Capacité de jonction en MOS-bulk et MOS-SOI.....	24
Figure. I.13 : Distribution de la variabilité du délai (fiabilité et performance) d'un circuit microélectronique en MOS-SOI.....	27
Figure. I.14: La puissance dynamique en fonction de la tension d'alimentation V_{dd}	29
Figure. I.15: L'énergie dissipée d'un inverseur en fonction de la tension d'alimentation V_{dd} , pour tensions de seuil différentes, haute (LL : Low Leakage) et basse (HS : High Speed) à transistors iso-contact.....	30

Chapitre-II

Figure .II.1 : Variation de la mobilité avec de la température.....	34
Figure .II.2 : Le courant de saturation en fonction de la température pour un MOS-SOI-PD.....	35
Figure .II.3 : La vitesse de saturation des porteurs est déterminée en fonction de la température du canal.....	36
Figure. II.4 : La tension de seuil en fonction de la température du canal.....	38
Figure .II.5 : Flux thermique dans un matériau selon l'axe OX.....	39
Figure. II.6 : Illustration des chemins possibles empruntés par le flux thermique depuis les sources thermiques jusqu'à l'environnement extérieur.....	40

Figure .II.7 : L'influence de l'épaisseur de l'oxyde entrée sur la résistance thermique ($t_{si}=160nm$, $k_{si}=131w.m^{-1}.k^{-1}$, $k_{ox}=1.4w.m^{-1}.k^{-1}$).....	41
Figure .II.8 : L'influence de la largeur du transistor sur la résistance thermique ($t_{si}=160nm$, $t_{box}=400nm$, $k_{si}=131w.m^{-1}.k^{-1}$, $k_{ox}=1.4w.m^{-1}.k^{-1}$).....	42
Figure .II.9 : (a): Caractéristiques en courant $I_{ds}=f(V_{ds})$ de sortie et (b): Conductance $g_d=f(V_{ds})$ des transistors PD avec et sans effet KINK ($L_g=130 nm$, $W=10 \mu m$), V_{gs} variable.....	43
Figure .II.10: Effet du transistor bipolaire parasite pour un transistor MOS-SOI-PD.....	45
Figure .II.11 : Caractéristique statique du MOS-SOI partiellement désertée à body flottant ($L=0.13\mu m$, $W=10\mu m$).....	45
Figure .II.12 : Distribution de la charge de la désertion contrôlée par la grille (Q_g) pour les transistors à canal long et à canal court.....	48
Figure. II.13 : Influence de l'effet du DIBL sur la Caractéristique $I_{ds} (V_{gs})$ d'un transistor NMOS, dans la technologie SOI 0,13 μm ($t_{ox}=2nm$, $t_{box}=400nm$, $t_{si}=160nm$)....	49

Chapitre-III

Figure.III.1: Caractéristiques $I_{ds} (V_{ds})$ d'un transistor NMOS, V_{gs} variable ($V_{bs}=0v$, $V_t=0.02585v$, $d_0=10^{-7}A/m$, $S=60 mv/déc$, $m=1$, $a=1$, $\lambda = 1$).....	52
Figure .III.2: Caractéristiques sous le seuil d'un transistor NMOS-SOI-PD.....	54
Figure.III.3: g_m en fonction V_{gs} pour V_{ds} variable.....	56
Figure.III.4: g_{ds} en fonction V_{ds} pour V_{gs} variable.....	57
Figure.III.5 : Schéma quasi-statique MOS-SOI-PD (l'amplitude faible).....	57
Figure.III.6 : Transconductance g_m en fonction la fréquence F	60
Figure.III.7 : Conductance g_{ds} en fonction la fréquence F	60
Figure.III.8 : La résistance de grille R_g en fonction la fréquence F	61
Figure.III.9 : Les capacités de grille C_{gs} , C_{gd} en fonction la fréquence F	61
Figure.III.10 : Les paramètres de schéma équivalent : y_{11} , y_{12} , y_{21} , y_{22} (imaginaire, réel) en fonction de la fréquence F	62
Figure.III.11: La transconductance g_m en fonction v_{gs} pour v_{gs} variable.....	63
Figure.III.12: La conductance g_{ds} en fonction v_{ds} pour v_{gs} variable.....	63
Figure.III.13 : Mesure du courant I_{ds} en fonction V_{gs} , $V_{ds}=120mv$ avec paramètre [Y].....	64
Figure.III.14 : Le courant I_{ds} en fonction V_{gs} , $V_{ds}=120mv$ avec paramètre modèle analytique.....	64
Figure.III.15 : Le courant I_{ds} en fonction V_{gs} , $V_{ds}=120mv$ avec paramètre [y] et modèle analytique.....	65
Figure.III.16 : Schéma équivalent MOS-bulk.....	65

Figure.III.17 : Représente l'équation (Eq. III.16) en fonction F^2	67
Figure.III.18 : Courant I_{ds} en fonction V_{gs} à transistor MOS-bulk.....	67
Figure.III.19 : Courant I_{ds} en fonction V_{gs} à les deux transistors MOS-bulk et MOS-SOI-PD.....	68

Chapitre-IV

Figure. IV.1 : Effet de la variation de la température sur le courant de drain $I_{ds} = f(V_{ds})$, $V_{gs}=0.5V$	71
Figure. IV.2 : Variation de la caractéristique $I_{ds} = f(V_{gs})$ avec la température et $V_{ds}=0.5v$	72
Figure .IV.3 : Effet thermique sur le courant de drain $\log(I_{ds})$	72
Figure. IV.4 : Courant de drain pour différentes valeurs de V_{gs}	73
Figure. IV.5 : Le point de pincement d'inverseur MOS-SOI-PD	74
Figure. IV.6 : Courant de drain pour différentes largeurs W du canal avec $L=0.13u$	74
Figure .IV.7 : Courant de drain pour différentes longueurs du canal L , avec une largeur $W=10um$	75
Figure. IV.8 : Courant de drain pour différentes valeurs de V_{ds}	75
Figure .IV.9 : Courant de drain pour différentes largeurs W et pour une longueur $L=0.13u$...	76
Figure. IV.10 : Tension de seuil V_T	76
Figure. IV.11 : Courants de fuite à $T=-40^\circ C$	77
Figure IV.12 : Courants de fuite à $T=100^\circ C$	78
Figure IV.13 : Variation des courants de fuite avec $T=-40^\circ C$ et $T=-100^\circ C$	78
Figure IV.14 : Variation du courant de saturation (I_{ON}) avec la température.....	79
Figure IV.15 : Variation du courant de fuite (I_{OFF}) avec la température	79
Figure. IV.16 : L'inverseur CMOS-SOI-PD.....	81
Figure. IV.17 : Caractéristique de transfert des inverseurs NMOS et PMOS avec simulation MATLAB.....	81
Figure. IV.18 : La tension de seuil logique V_M en fonction de la tension V_{bs} (les courants de saturation à deux transistors CMOS-SOI-PD égale).....	83
Figure. IV.19 : Implémentation inverseur CMOS sur MATLAB.....	83
Figure. IV.20 : Signal d'entrée et de sortie CMOS pour charger et décharger $C=10pf$	85
Figure. IV.21 : Temps de charge et décharge de la capacité d'un inverseur.	86
Figure. IV.22 : Temps de propagation MOS-SOI-PD en fonction de la tension d'alimentation V_{dd}	86

Liste des tableaux

Chapitre-I

Tableau. I.1: Comparaison des étapes de conception entre les deux technologies.....	12
Tableau. I.2: Les équations des capacités de jonction en MOS-bulk et MOS-SOI.....	25
Tableau. I.3: Circuits réalisés en MOS-SOI et relevés dans ISSCC (International Solid-State Circuits Conférence).....	28

Chapitre-II

Tableau. II.1: Quelques valeurs typiques de la conductivité thermique de cristaux purs à 300°k.....	39
--	----

Chapitre-III

Tableau .III.1 : Représente la comparaison entre les deux modèles	53
Tableau .III.2 : Les valeurs de capacités de terminaison en fonction des capacités intrinsèques.....	59
Tableau .III.3 : Représente l'énergie dissipée dans les deux transistors.....	68

Chapitre-IV

Tableau. IV.1 : Représente la puissance totale du transistor MOS-SOI-PD.....	80
Tableau. IV.2 : Représente l'étape de fonctionnement inverseur CMOS-SOI-PD en cas statique.....	82

Introduction générale:

La technologie MOS-bulk avec substrat massif génère de nombreux effets indésirables qui conduisent à la consommation d'énergie et en même temps diminue les performances des circuits intégrés. Pour certains effets indésirables, il consiste d'utiliser un isolant diélectrique d'oxyde enterré. Cette technologie appelée la technologie MOS-SOI (Silicon On Insulator) permet donc de diminuer la consommation d'énergie des circuits intégrés et elle augmente les performances du dispositif.

Cette étude s'articule autour de quatre chapitres:

- Chapitre I: Nous donnerons une description de la technologie MOS-SOI-PD et nous présenterons les principales techniques de réalisation des substrats SOI, ainsi que l'étude comparative entre la technologie MOS-SOI-PD et son homologue MOS-bulk. Puis nous relaterons les principes de fonctionnement des transistors MOS-SOI-PD, et les équations des courants à différents modes de fonctionnement dans lesquels sont utilisés ces transistors.

- Chapitre II: Nous traiterons les effets physiques des miniaturisations relatifs à la technologie MOS-SOI-PD. L'isolation thermique apportée par l'oxyde enterré engendre une élévation de la température au niveau du canal, ce sont les effets d'auto-échauffement. Le potentiel flottant inhérent au film de silicium des MOS-SOI partiellement déserté implique de nouveaux effets physiques intrinsèques à la technologie MOS-SOI-PD.

- Chapitre III: Nous donnerons les principes de la simulation MOS-SOI-PD sur des paramètres physiques qui décrit les caractéristiques sous seuil des transistors en prenant la dépendance de la tension body-source qui engendre les paramètres du dispositif (quadripôle).

- Quatrième chapitre: Une étude des effets de la température sur le comportement physique et électrique des paramètres du transistor MOS-SOI-PD. C'est-à-dire les caractéristiques de la conductance à V_{gs} constant, et la caractéristique de la transconductance à V_{ds} constant. Le courant de fuite (I_{OFF}) (étude statique) et le courant de commutation (I_{ON}) (étude dynamique) sont évalués en fonction de la température.

Chapitre-I

Introduction:

La technologie MOS-SOI-PD (Silicon On Insulator ou Silicium sur Isolant) se distingue par l'existence d'une couche d'oxyde enterrée sous la zone active du substrat, qui permettra une isolation diélectrique du transistor. Cette couche d'oxyde enterré est très importante au comportement physique des transistors MOS-SOI-PD. Ces avantages sont :

- Une meilleure immunité aux radiations.
- Un bon verrouillage (latch-up).
- Une bonne diminution des courants de fuite (puissance statique) et des

capacités de jonction (capacités de parasite).

Ce chapitre étudie la technologie MOS-SOI-PD et ses propriétés électriques MOS-SOI.

I.1 La technologie MOS-SOI-PD :

La particularité de la technologie MOS-SOI-PD est que le substrat de chaque transistor est isolé, il est très possible de polariser simplement chaque zone de silicium active des transistors séparément.

Les circuits fonctionnant en très basses tensions en MOS-SOI-PD et n'utilisent donc pas de transistors à V_T nul, mais exploitent, à la place, une structure particulière du MOS-SOI-PD. Vue la figure. I.1 ci-dessous.

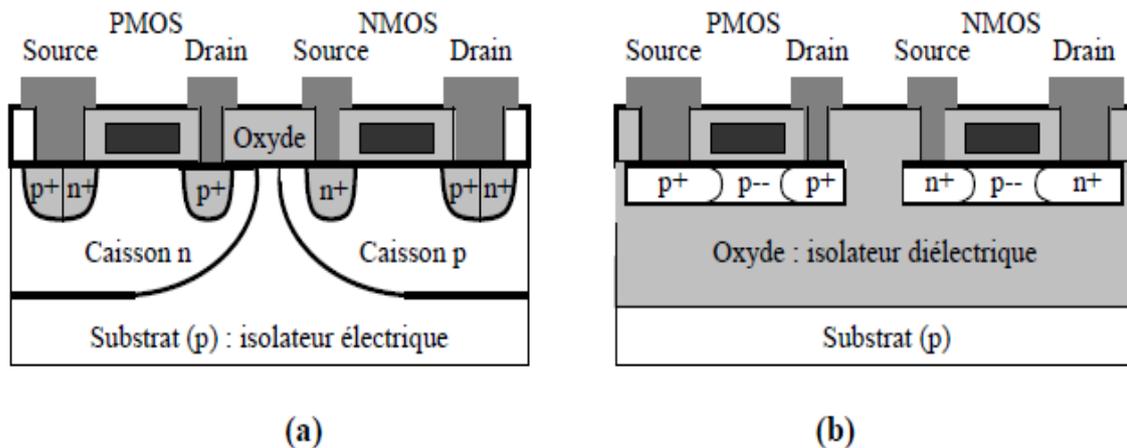


Figure. I.1: (a): Coupe schématique de transistor MOS-bulk et (b): Coupe schématique de transistor MOS-SOI-PD. [I.26]

I.1.1 Diminution du nombre d'étapes de développement:

La technologie MOS-SOI-PD comporte moins d'étapes de conception que la technologie MOS-bulk. Voir le tableau. I.1 ci-dessous qui donne les différentes étapes des procédés les deux technologies.

La technologie MOS-SOI-PD	La technologie MOS-bulk
- Métallisation	- Métallisation
- Gravure du métal	- Gravure du métal
- Perçage des contacts	- Perçage des contacts
- Dépôt de diélectrique	- Dépôt de diélectrique
- Dépôt de poly-silicium	- Dépôt de poly-silicium
- Dopage	- Dopage
- Dopage des puits en renforcement	-
- Lithographie des pats	-
- Implantation des zones	- Implantation des zones
- Implantation des zones N ⁺ de S et D	- Implantation des zones N ⁺ de S et D
- Implantation des zones P ⁺ S et D	- Implantation des zones P ⁺ S et D
- Lithographie des canaux P	- Lithographie des canaux P
- Lithographie des canaux N	- Lithographie des canaux N
- Oxydation	- Oxydation
- Recuit	- Recuit

Tableau. I.1: Comparaison des étapes de conception entre les deux technologies.

I.1.2 Absence du phénomène verrouillage (latch-up):

Le phénomène du latch-up, bien connu dans les structures en technologie MOS-bulk correspondant au déclenchement interpositif d'une structure de thyristor PNPN. Le latch-up a un sérieux problème dans les composants de petites dimensions. Il existe différentes techniques pour réduire ce phénomène. Toute fois le coût de production est élevé. Par contre ce phénomène est absent dans les structures en technologie MOS-SOI-PD car il n'ya pas de circulation de courant dans le substrat. De ce fait, on obtient un meilleur degré d'intégration avec la technologie MOS-SOI-PD.

I.1.3 Simplification des étapes de siliciuration ou métallisation :

La réduction des résistances d'accès à l'aide de la siliciuration (Cobalt(Co): Est élément chimique) est une étape importante dans la réalisation de composants à hautes performances. Dans les composants sur substrat massif, des réactions non souhaitées peuvent parfois se produisent entre le silicium et le siliciure ou métal, entraînant des courants de fuite.

En technologie MOS-SOI-PD, il n'y a pas de fuites, du fait de l'impossibilité d'une jonction métallique sous la zone de contact métal-silicium.

I.1.4 Les substrats MOS-SOI :

Les matériaux de la technologie MOS-SOI produits au début des années 80 comportaient beaucoup de défauts et soumis à de fortes contraintes dues aux irrégularités dans l'épaisseur.

Pour l'obtention de meilleure couche de silicium et d'oxyde, sans défaut avec une épaisseur uniforme et de bonnes propriétés d'interface, plusieurs procédés sont utilisés et développés pour réaliser ces substrats. Toute fois ces procédés n'ont pas trouvé une grande place dans l'industrie. On peut citer les techniques **ZMR** (Zone Melting Re-crystallisation), **ELO** (Epitaxial Lateral Overgrowth), **FIPOS** (Full Isolation by Porous Oxidized Silicon).

Les technologies MOS-SOI disponibles aujourd'hui, en général, peuvent être divisées en deux parties :

- La Première consiste à déposer le film de silicium directement sur un substrat isolant, comme cas du silicium sur saphir (SOS: Silicon On Sapphire) et le silicium sur zircone (SOZ: Silicon On Zirconia). Actuellement, le SOS est encore industrialisé pour des applications analogiques, RF. [I.1] [I.2]

- La deuxième consiste à utiliser une couche isolante et mince pour séparer la couche active du semi-conducteur du substrat, c'est-à-dire la structure (SIS : Silicium-Isolant-Silicium).

L'oxyde du silicium (SiO_2) est actuellement le matériau le plus utilisé industriellement, car il présente une structure de maille plus adaptée au silicium. Avec les autres matériaux, la structure de maille est moins faible et engendre des défauts cristallins d'interface.

Les méthodes utilisées actuellement dans la production industrielle sont: SIMOX, Smart-Cut et BESOI.

I.1.4.1 La méthode SIMOX :

La méthode SIMOX (Separation by Implantation of Oxygen) [I.3] [I.4] consiste à planter des ions d'oxygène sous la surface du substrat, et par la suite former l'oxyde enterré par un recuit à haute température (1300-1350°C). L'épaisseur d'oxyde enterré est déterminée par la dose implantée et ainsi que la profondeur déterminée par l'énergie d'implantation.

Cette méthode a été développée à la fin des années 1970 [I.5] et que ses fondements remontent aux années 1960. Les premiers substrats SIMOX ont été commercialisés seulement à partir de 2000. Son développement industriel pour la production de masse était en effet lié à celui d'une machine d'implantation très spécifique, qui soit capable d'implanter des ions

d'oxygène sans contaminer le substrat (métaux, carbone), ceci à très forte énergie et de forte dose. Pour se rendre compte de la dose élevée, notons que le SiO₂ du BOX (Buried Oxide) requiert deux ions O⁻² pour un atome de silicium (Si), alors qu'un dopage considéré élevé pour des circuits intégrés correspond à 1 dopant pour 1000 atomes des Si. La méthode optimale dite à forte dose, nécessite une implantation de 2.10¹⁸ O⁻²/cm² à une énergie de 180 kev, permettant de former un BOX (Buried Oxide) de 400 nm et un film de silicium de 200 nm. Une variante à dose moyenne (4.10¹⁷ O⁻²/cm²) a été introduite dans les années 1990 donnant un oxyde enterré plus mince de 80 nm maximum. Comme le coût de production dépend principalement de celui de l'implantation, le substrat à dose moyenne coûte 25 % du prix du substrat à dose forte. De plus, l'énergie d'implantation est portée à des valeurs plus faibles, 35 à 70 kev, pour obtenir des films actifs plus minces de 50 nm pour des composants totalement désertés.

I.1.4.1.1 Les avantages SIMOX :

- L'uniformité des épaisseurs du film et du BOX (Buried Oxide) est convenable (± 10 nm pour le BOX et ± 5 nm pour le film de silicium (Si)).
- Les propriétés électriques (mobilité, durée de vie des porteurs et densité d'états d'interfaces) sont élevées.
- L'oxyde enterré est relativement robuste et la densité de défauts est faible, excepté les nombreuses dislocations traversant le film.

I.1.4.1.2 Les inconvénients SIMOX :

- Les fortes doses d'implantation d'oxygène.
- Les recuits sont réalisés avec de très haute température.
- La profondeur et l'épaisseur du film d'oxygène synthétisé par implantation d'ions d'oxygène sont uniquement définies par les paramètres d'implantation d'oxygène.
- Les tranches SIMOX ne couvrent pas tous les besoins de la microélectronique.

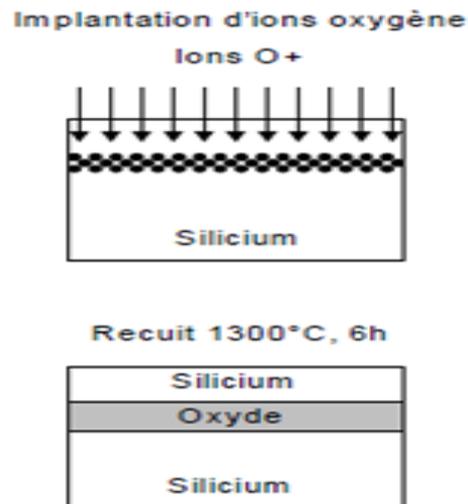


Figure. I.2: Schéma de la méthode SIMOX.

I.1.4.2 La méthode Smart-Cut:

La méthode Smart-Cut est réalisée en utilisant deux tranches de silicium A et B (Figure. I.3), qui sont assemblées avec des liaisons des forces de Vander Waals. L'interface de collage est consolidée par une étape de recuit. La technique Smart-Cut consiste d'abord à implanter des protons H⁺ sur la tranche A à une profondeur contrôlée précisément (avec des doses de 10¹⁶ à 10¹⁷ H⁺/cm² et des énergies de 75 à 100 keV). Ensuite, le clivage a lieu grâce à un recuit d'activation à 1100°C, la profondeur où la concentration d'hydrogène est la plus importante.

Finalement, un polissage de la tranche B est réalisée pour amincir le film de silicium et obtenir une surface de type miroir [I.6] [I.7]. La société SOITEC réalise les substrats UNIBOND par cette méthode.

I.1.4.2.1 Les avantages du Smart-Cut:

- Les tranches (donneuses) (A) peuvent être réutilisées.
- Les équipements standards de la microélectronique sont utilisés pour la production de masse.
- L'épaisseur du film de silicium (Si) peut varier entre 50 nm et 1500 nm (± 5 nm), et celle du BOX (Buried Oxide) entre 100 nm et 3000nm (± 10 nm).
- Les couches contiennent peu de défauts.
- Un faible coût de production (recyclage de plaquettes d'après le transfert).

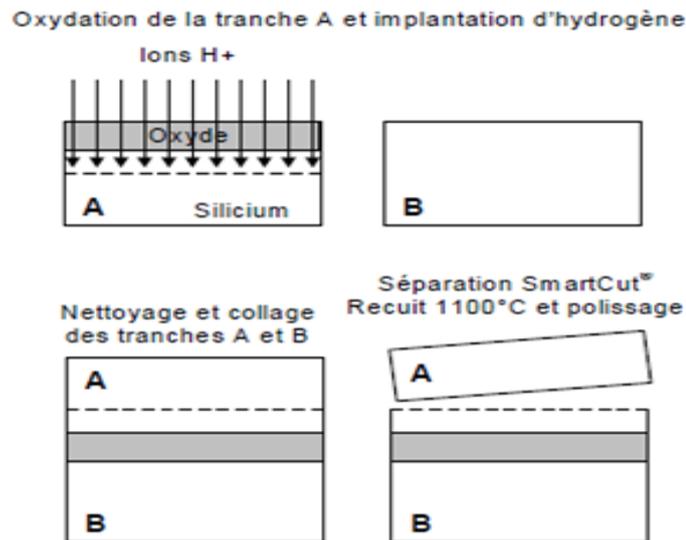


Figure. I.3: Etapes de la méthode Smart-Cut.

I.1.4.3 La méthode BESOI:

La technique BESOI (Bond and Etch-back SOI) est basée sur le collage direct de deux plaquettes de silicium, à savoir par la soudure directe de plaques [I.25]:

Plaque 01 : Tranche de silicium (passive).

Plaque 02 : Tranche de silicium (active), munie en surface d'un film d'oxyde de silicium thermique, et fortement dopé au bore (P^+).

Après le collage (liaisons hydrophiles ou par force de Vander Waals), on procède à un recuit post collage à température (1000°C - 1100°C) pendant une heure environ, sous atmosphère neutre. La face arrière de la tranche active fixe l'épaisseur de la paire tranches, d'abord par un rodage mécanique jusqu'à une épaisseur moyenne de l'ordre 20nm et puis par un polissage mécano-chimique jusqu'à l'obtention une épaisseur de l'ordre de 2 nm.

Les substrats obtenus sont appelés BESOI (Bond and Etched-back Silicon On Insulator).

I.1.4.3.1 Les avantage BESOI :

- La densité de piège de cette interface (Si-SiO_2) s'approche de $10^9/\text{cm}^2/\text{ev}$. Par contre l'ordre $10^{11}/\text{cm}^2/\text{ev}$ dans le cas des matériaux SIMOX [I.23]
- Ce matériau peut être utilisé pour la fabrication de composants optoélectroniques ayant une couche de silicium très épaisse de l'ordre de 10 nm [I.25]

I.1.4.3.2 Les inconvénients BESOI:

- La difficulté majeure est de produire des films ultra-minces ($\leq 100\text{nm}$), uniforme et de qualité compatible avec les circuits CMOS avancés. [I.24]

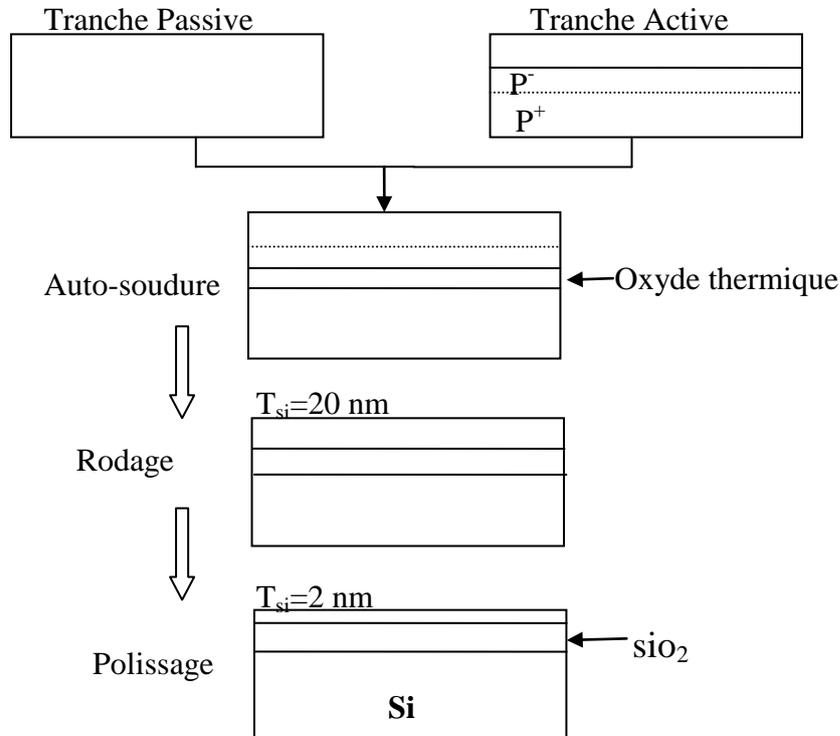
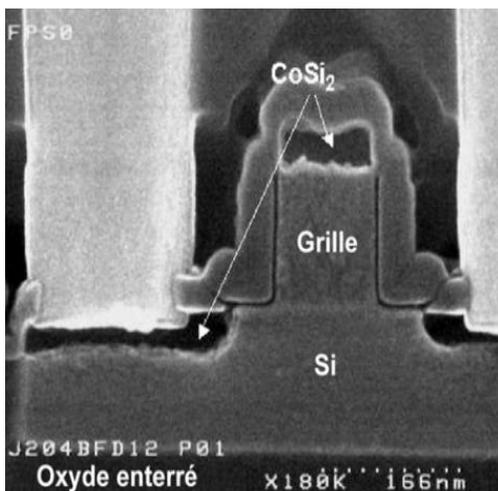
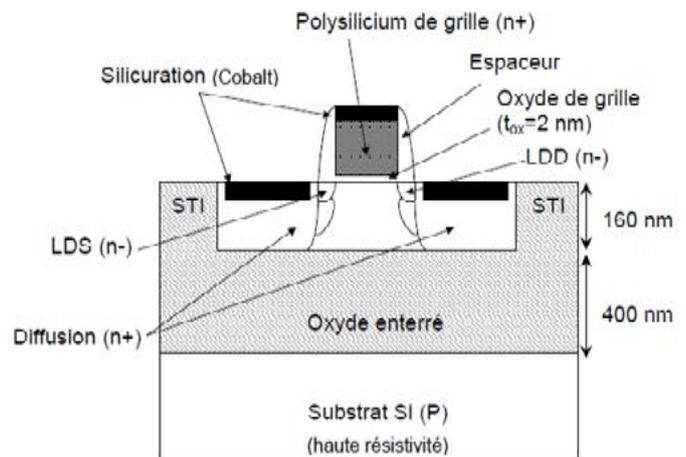


Figure. I.4 : Schéma de représentation de la méthode BESOI.

I.1.5 Description de la technologie MOS-SOI-PD à 130 nm:



(a)



(b)

Figure. I.5: (a): Vue en coupe d'un transistor MOS-SOI-PD et (b): Schéma de transistor NMOS de la technologie MOS-SOI-PD à 130 nm. [I.27]

La figure. I.5: Montre deux schémas explicatifs:

Schéma (a): Représente une vue en coupe d'un transistor MOS-SOI-PD à nœud de la technologie 130 nm, sur les zones source et drain une couche de siliciuration (Cobalt) à faible résistivité sur la zone de grille poly-silicium pour diminuer la valeur des résistances d'accès au transistor.

Schéma (b): Le transistor NMOS de la technologie MOS-SOI-PD à 130 nm au de la photographie (a) et décèle :

- Un film de silicium de 160 nm (t_{si}).
- Un oxyde enterré de 400 nm d'épaisseur (t_{box}).
- Une épaisseur d'oxyde de grille 2nm (t_{ox}).
- STI (Shallow Trench Isolation) : Des tranchées minces d'isolation latéralement.

- LDD et LDS (Light Doped Drain or Source) : Les zones plus faiblement dopées et de résistivité plus faible pour réduire les effets de canal court et réduire le champ électrique. Le schéma (Figure. I.6) montre des niveaux énergétique des bandes de conduction et de valence du silicium (Si(p)) et de ses interfaces avec les oxydes, pour un NMOS-bulk, et deux NMOS-SOI avec des épaisseurs de couche de silicium (Si) différentes.

Les zones d'interface, entre l'oxyde et le silicium (Si), sont désertées des porteurs majoritaires (p+) et une zone de déplétion existe. Son épaisseur x_{dmax} peut être calculée [I-8].

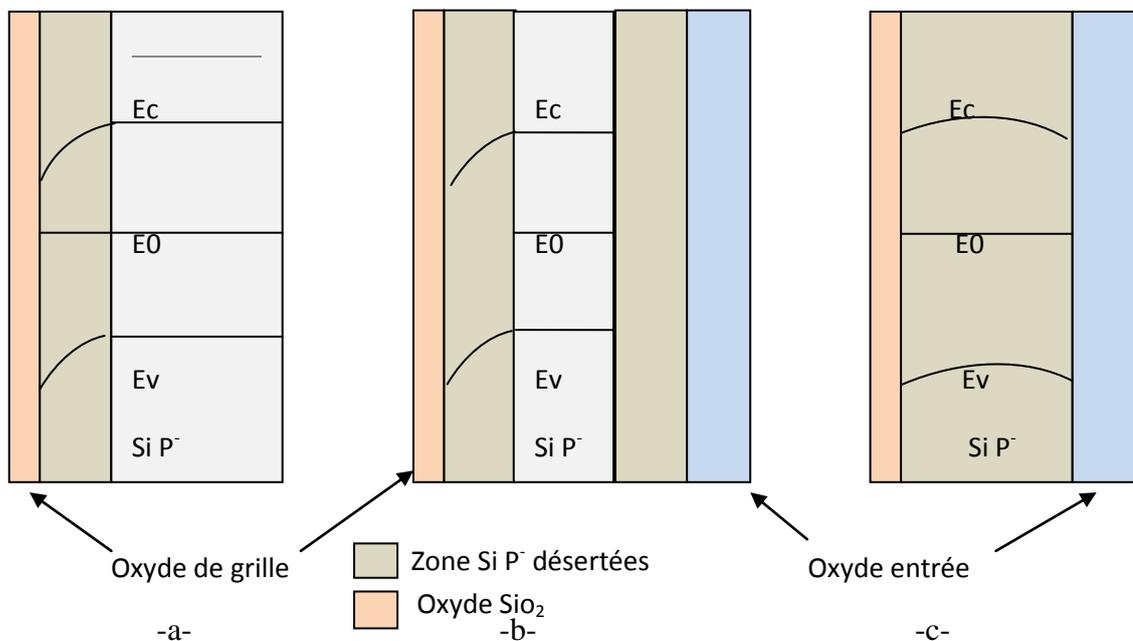


Figure. I.6 : Schéma de bande d'énergie de structure MOS.
a. Substrat bulk, b. Substrat SOI épais et C. Substrat SOI fin.

I.2 Les transistors MOS-SOI-PD flottant et à prises :

La technologie MOS-SOI-PD donne deux types de transistors :

- Premier type : Transistors à substrat interne flottant.
- Deuxième type : Transistor à prises latérales de substrat flottant qui permettent d'accéder à la zone interne et de lui imposer un potentiel fixe.

On distingue trois transistors à prises suivant la position des prises par rapport à la grille et leur connexion électrique (Figure. I.7):

- Les transistors (Body-Tied ou Iso-Contact) à prises internes reliées électriquement à la source. [I.9] [I.10]
- Les transistors (Body-Contacted) à prises externes reliées électriquement à la source.
- Les transistors DTMOS (Dynamic Threshold MOS) possèdent des prises externes reliées au potentiel de grille. Ce dispositif permet de polariser le substrat interne en même temps que la grille. Il est caractérisé par un fonctionnement avec des faibles tensions et par une transconductance g_m plus élevée. [I.27]

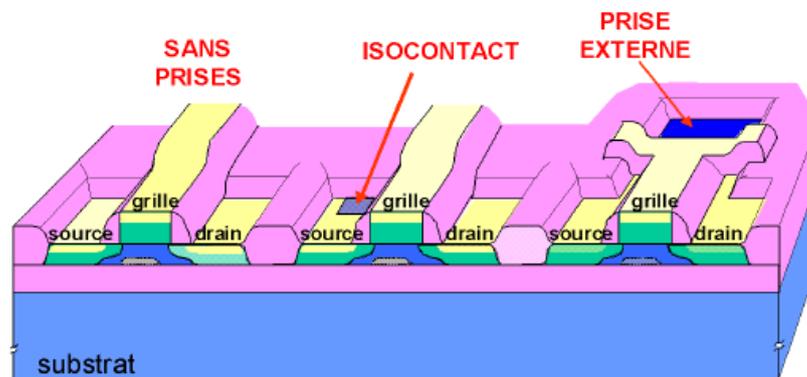


Figure. I.7: Transistors MOS-SOI partiellement désertés de différentes prises.

I.3 Fonctionnement des transistors MOS-SOI :

Cette partie présente la modélisation de la tension de seuil avec des propriétés physiques et de fonctionnement électrique des transistors MOS-SOI partiellement désertés et totalement désertés.

I.3.1 La tension de seuil du MOS-SOI-PD:

La tension de seuil est un paramètre principal du transistor MOS-SOI-PD. Comme pour le transistor MOS-bulk qui dépend de la tension appliquée sur le substrat, elle dépend aussi du potentiel du body pour le transistor MOS-SOI-PD. La modélisation précise de sa

variation avec le potentiel de body, est particulièrement importante puisque le potentiel dépend des variations permanentes, selon les conditions de polarisation du transistor et les signaux qui sont appliqués à ses différentes électrodes.

La tension de seuil est liée avec la charge de désertion par l'équation suivante [I.22]:

$$V_T = V_{FB} + 2\phi_F - \frac{Q_{dep}}{C_{ox}} \quad (\text{Eq. I.1})$$

Avec :

$V_{FB} = \phi_{MS} - \frac{Q_f}{C_{ox}}$: Tension de bandes plates de la structure MOS.

$\phi_{MS} = \phi_M - \phi_S$: Différence de potentiel correspondant à la différence des travaux de sortie métal (grille) et semi conducteur (substrat).

Q_f : Densité de charges fixes dans l'oxyde ramené à l'interface ($C.cm^{-2}$).

$Q_{dep} = \sqrt{2 \cdot q \cdot N_a \cdot \epsilon_0 \cdot \epsilon_{si} \cdot (\Psi_{st} - V_{bs})}$: Charge de déplétion, d'après l'équation de poisson (Voir l'annexe 01).

$\phi_F = \frac{k.T}{q} \cdot \ln\left(\frac{N_a}{n_i}\right)$: Potentiel de fermi.

$\Psi_{st} = \frac{qN_a X_t^2}{\epsilon_{si}}$: Potentiel de surface ayant de profondeur de désertion $X_t = W_d = \frac{\epsilon_{si}}{C_{dep}}$.

$$V_T = V_{FB} + 2 \cdot \frac{k.T}{q} \cdot \ln\left(\frac{N_a}{n_i}\right) - \frac{\sqrt{2 \cdot q \cdot N_a \cdot \epsilon_0 \cdot \epsilon_{si} \cdot (\Psi_{st} - V_{bs})}}{C_{ox}} \quad (\text{Eq. I.2})$$

I.3.2 Courant en régime d'ohmique:

I.3.2.1 Inversion faible:

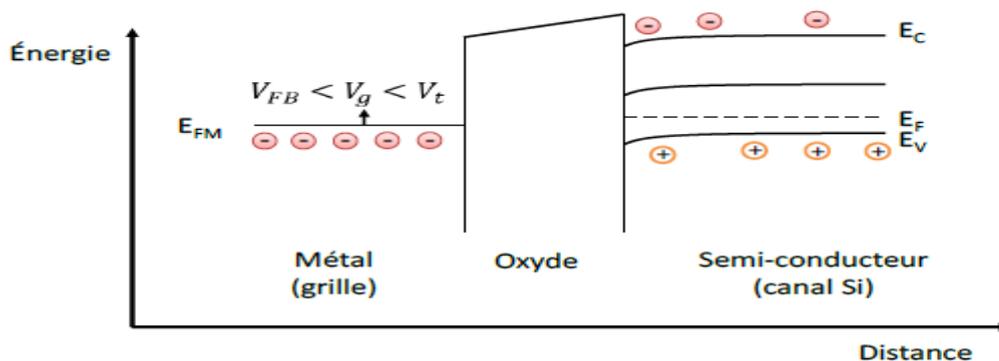


Figure. I.8 : Courbe d'inversion faible.

Dans ce régime, il n'y a ni accumulation de trous dans la bande de valence ni d'électrons dans la bande de conduction, du moins en grande quantité, figure .I.8. La zone du canal est désertée par les charges mobiles, d'où le terme de zone de déplétion ou de désertion.

Pour une tension de grille $\phi_F < \Psi_s < 2\phi_F$, le courant de drain est donné par la formule d'un transistor NMOS enrichi et fabriquée sur MOS-bulk en négligeant les états d'interface et en se plaçant à $\Psi_s = 1.5\phi_F$. [I.11]

$$I_{ds} = \frac{W}{2.L} \cdot u_n \cdot C_{ox} \cdot (V_{gs} - V_T)^2 \quad (V_{FB} < V_{gs} < V_T). \quad (\text{Eq. I.3})$$

I.3.3 Courant en régime de commutation:

I.3.3.1 Inversion forte :

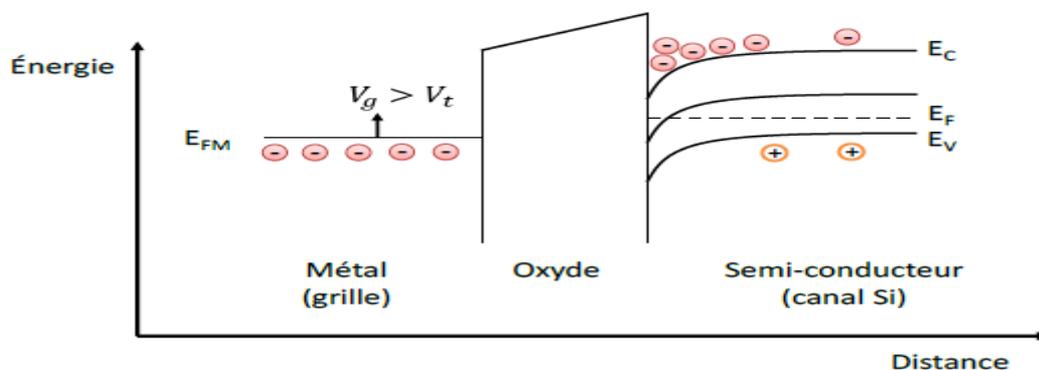


Figure. I.9 : Courbe d'inversion forte.

En régime d'inversion forte, les électrons sont nombreux à la surface du canal et à l'interface avec l'oxyde (Figure. I.9) et forment un canal N de conduction entre la source et le drain (dopés N).

Pour une tension de grille $\Psi_s > 2\phi_F$, le courant de drain est donné par la formule suivante:

$$I_{ds} = \frac{W}{L} \cdot \mu_n \cdot C_{ox} \cdot (V_{gs} - V_T) \cdot V_{ds} \quad (V_{ds} > V_{gs} > V_T). \quad (\text{Eq. I.4})$$

I.3.4 Transistors MOS-SOI partiellement et totalement désertés:

La technologie MOS-SOI se caractérise par la présence d'un oxyde enterré, en fonction de l'épaisseur de la couche de silicium actif, dans laquelle les zones de diffusion sont implantées, deux technologies se distinguent:

- Celle appelée totalement désertée (MOS-SOI-TD) pour une couche mince de silicium, de l'ordre de 20nm.

- Celle appelée partiellement désertée (MOS-SOI-PD) pour une couche plus épaisse, de l'ordre de 100nm. [I.12]

Trois raisons prouvent que la technologie MOS-SOI-TD n'est pas utilisée commercialement à savoir:

- Le contrôle très précis de l'épaisseur de la couche de silicium.
- Les contraintes de procédé de fabrication.
- Les coûts associés au développement de cette technologie MOS-SOI-TD

sont élevés. Enfin, la couche mince de silicium induit des résistances d'accès élevées au niveau du drain et de la source.

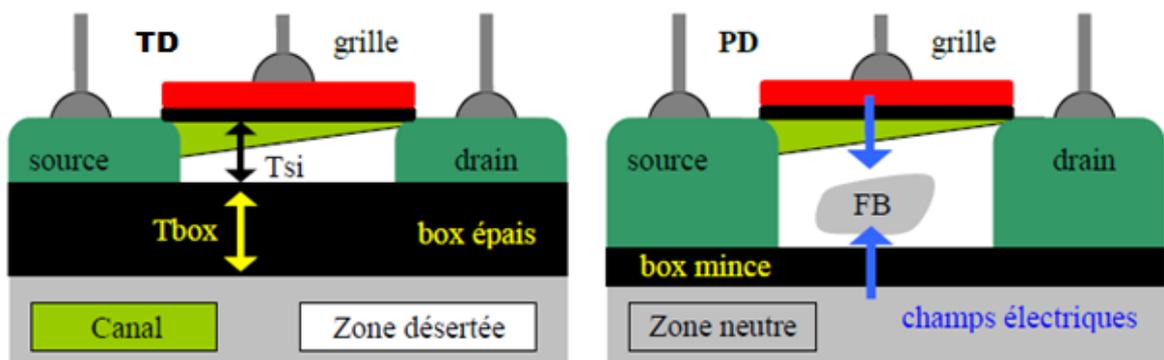


Figure. I.10: Transistor MOS-SOI totalement et partiellement déserté (TD et PD).

La zone de désertion maximale x_{dmax} est donnée par (Eq. I.5) comme suite:

$$x_{dmax} = \sqrt{\frac{4 \cdot \epsilon_{si} \cdot \phi_F}{q \cdot N_a}} \quad (\text{Eq. I.5})$$

La technologie MOS-SOI-PD: L'épaisseur d'oxyde $t_{si} > 2 \cdot x_{dmax}$, dans le cas de la technologie MOS-SOI-TD: $t_{si} < x_{dmax}$. Ainsi l'épaisseur de l'oxyde enterré (t_{box}) joue un rôle déterminant.

Pour les transistors MOS-SOI-PD, le film actif de silicium présente une zone interne neutre, située entre la zone de désertion, la couche d'oxyde enterré et les zones de diffusion source-drain créant un potentiel flottant. Cela induit des phénomènes particuliers, tels que l'effet KINK et le transistor bipolaire parasite qui sont fortement réduits dans le cas des transistors totalement désertés qui n'ont pas de zone interne flottante.

I.3.5 Propriétés électriques des composants MOS-SOI-PD et TD :

Les principales propriétés électriques des transistors MOS-SOI-PD et MOS-SOI-TD, sont basées essentiellement sur le coefficient α pour les deux types de composants qui est

fonction de la capacité d'oxyde de grille C_{oxg} et de la capacité C_{body} entre le canal d'inversion et la face arrière du substrat (Figure. I.11)

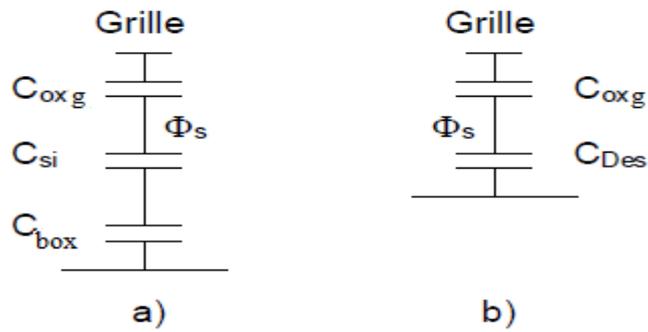


Figure.I.11 : Réseaux de capacités vus depuis la grille pour les MOS-SOI

(a): Totalement désertés et (b): Partiellement désertés.

$$\alpha = \frac{C_{body}}{C_{oxg}} \quad (\text{Eq. I.6})$$

Ce coefficient α est inversement proportionnel au couplage entre le potentiel de grille et le potentiel de surface ϕ_s à l'interface Si-SiO₂.

Pour les transistors MOS-SOI-PD, C_{body} est constituée par la capacité de désertion C_{des} du film de silicium.

Pour les transistors MOS-SOI-TD, la zone de désertion atteint l'oxyde enterré, donc C_{body} est l'association en série de la capacité du film de silicium C_{si} et de la capacité d'oxyde enterré C_{box} .

Les équations α à les deux transistors TD et PD:

$$\alpha_{TD} = \frac{C_{si} \cdot C_{box}}{(C_{si} + C_{box}) \cdot C_{oxg}} \quad (\text{Eq. I.7})$$

$$\alpha_{PD} = \frac{C_{des}}{C_{oxg}} \quad (\text{Eq. I.8})$$

Par conséquent d'après les équations précédentes $\alpha_{TD} < \alpha_{PD}$ le courant de saturation de transistor MOS-SOI-TD est grand avec des transistors MOS-SOI-PD et bulk ($I_{ds.PD.bulk} < I_{ds.TD}$).

La transconductance égale la dérivation de courant I_{ds} en fonction de la tension grille-source V_{gs} décrit par l'équation suivant:

$$g_m = \text{pente} = \frac{\partial I_{ds}}{\partial V_{gs}} \quad (\text{Eq. I.9})$$

D'après (Eq. I.9) on déduit directement que les transistors MOS-SOI-TD présentent une transconductance élevée que le MOS-bulk et MOS-SOI-PD.

Par conséquent, coefficient α (Eq. I.6) montre bien le courant de commutation en état de saturation.

I.4 Comparaison entre les deux transistors MOS-SOI-PD et MOS-bulk :

I.4.1 Les améliorations du MOS-SOI-PD par rapport au MOS-bulk:

La technologie MOS-SOI-PD possède des propriétés intéressantes par rapport au MOS-bulk. Globalement, les transistors MOS-SOI-PD apportent 25% à 30% de performance en plus par rapport à leurs homologues MOS-bulk. [I.15] [I.16]

Ces améliorations du MOS-SOI-PD sont engendrées par:

I.4.1.1 Elimination des capacités de jonction:

Dans les circuits sur le substrat MOS-SOI-PD, la capacité maximale entre les jonctions et substrat est celle due à l'isolant d'oxyde enterré (Figure. I.12). Cette capacité est proportionnelle à la constante diélectrique du matériau capacitif. Dans ce cas le plus souvent on utilise l'isolant à dioxyde de silicium, cette constante vaut $\epsilon_{SiO_2}=3.9$ F/m, soit trois fois plus petite que celle du silicium $\epsilon_{Si}=11.8$ F/m. L'épaisseur de l'isolant d'oxyde enterré n'a, pas alors, besoin d'être réduite lorsque des composants plus petits sont produits et de ce fait les capacités parasites n'augment pas au fur et à mesure de l'évolution de la technologie, contrairement aux composants sur substrat massif (MOS-bulk).

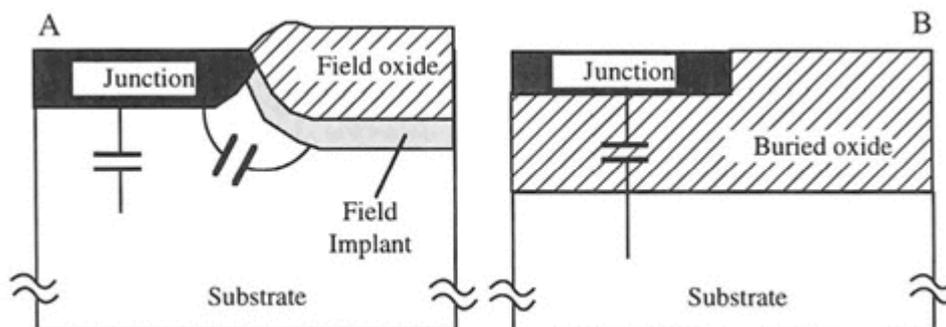


Figure. I.12: Capacité de jonction en MOS-bulk et MOS-SOI-PD.

Le ratio $C_{\text{bulk}}/C_{\text{SOI}}$, en typique, peut varier entre 4 et 7 [I.17]. Par exemple une mémoire SRAM 1 Mb réalisée avec deux technologies 130 nm d'un même fondeur et d'une même alimentation, on relève que vitesse du MOS-SOI-PD est supérieure de 15 % à celle du MOS-bulk et une puissance dynamique du MOS-SOI-PD réduite de 30 %. [I.19]

Capacité de jonction par unité de surface	(F/cm ²)
MOS-bulk	$C_{\text{bulk}} = \sqrt{\frac{q\epsilon_{\text{si}} N_a N_d}{2(N_a + N_d)}} \frac{1}{\sqrt{\phi_0 - V_D}}$
MOS-SOI-PD	$C_{\text{SOI}} = \frac{C_{\text{box}}}{\sqrt{1 + \frac{2C_{\text{box}}^2 V_D}{qN_a \epsilon_{\text{si}}}}}$

Tableau. I.2: Les équations des capacités de jonction en MOS-bulk et MOS-SOI-PD.

Le tableau. I.2 représente les équations de la capacité de jonction par unité de surface des deux technologies MOS-bulk et MOS-SOI-PD.

Avec :

V_D : Est la différence de potentiel aux bornes de la capacité.

ϕ_0 : Le potentiel de jonction.

I.4.1.2 Chute la tension de seuil:

La polarisation positive du substrat des transistors MOS-SOI-PD a la tension de seuil plus basse que celles des transistors MOS-bulk.

De plus, la basse tension de seuil dépend des canaux courts qui s'atténuent avec l'augmentation de la polarisation du substrat.

I.4.1.3 Effet source en série:

En MOS-bulk, les transistors montés en série (loi Moore) présentent un effet de substrat : La chute de tension à travers un transistor va élever le potentiel de la source de celui placé au-dessus dans, le cas de transistors de type N, vu que le substrat est relié à la masse, la tension V_{bs} de ce transistor devient négative, ce qui augmente sa tension de seuil et diminue les performances de la porte.

En MOS-SOI-PD, le potentiel du body flottant se situe entre la source et drain, donc la tension V_{bs} est positive - hors effet transitoire dû au couplage capacitif : C'est l'effet source suiveur.

Les portes à empilement de transistors ne sont pas ralenties en MOS-SOI-PD comme elles le sont en MOS-bulk, ce qui permet d'ajouter plus de porte logique par étage.

I.4.1.4 Sensible aux rayonnements:

Le MOS-SOI-PD est sensible aux radiations: Il trouve ses applications dans les domaines spatiales ou militaires car elle présente une meilleure immunité aux particules alpha et aux radiations cosmiques, protons ou neutrons de grandes énergies.

La zone sensible en MOS-SOI-PD est limitée à la zone active du transistor : Une particule alpha ou des rayons cosmiques vont générer des paires électron-trou tout au long de leur trajectoire mais n'auront plus d'effet une fois passés dans l'oxyde enterré ou en dessous.

L'épaisseur de silicium superficiel et le nombre de charges générées en MOS-SOI-PD sont beaucoup plus faibles que ceux du MOS-bulk.

I.4.2 Les défauts du MOS-SOI-PD et MOS-bulk:

I.4.2.1 Variabilité du délai:

Les variations du délai d'un circuit pour les systèmes synchrones haute performance, En **CMOS-bulk**, les sources de variation du délai sont deux ordres :

1- Les variations d'ordre temporel qui sont :

- La charge ou la décharge d'états précédents.
- Les effets d'électrons chauds.
- La charge résiduelle de jonction.
- L'électro-migration.

2- Les variations d'ordre spatial qui sont :

- La variation de la largeur des lignes d'interconnexion.

- La variation de la tension dans la matrice d'alimentation du circuit.
- Le couplage capacitif, le partage de charge.
- La variation de la température.

En **MOS-SOI-PD**, La variabilité d'origine spatiale représente la majeure partie de la variabilité totale. Il faut rajouter l'effet d'auto-échauffement des transistors puisque l'oxyde de silicium est un mauvais dissipateur thermique ($k_{ox}=1.4W.m^{-1}.k^{-1}$).

La figure. I.13 montre la distribution de la variabilité du délai d'un circuit en technologie MOS-SOI-PD. [I.19]

La variabilité temporelle et variabilité spatiale due aux couplages capacitifs ou aux variations des paramètres du procédé de fabrication.

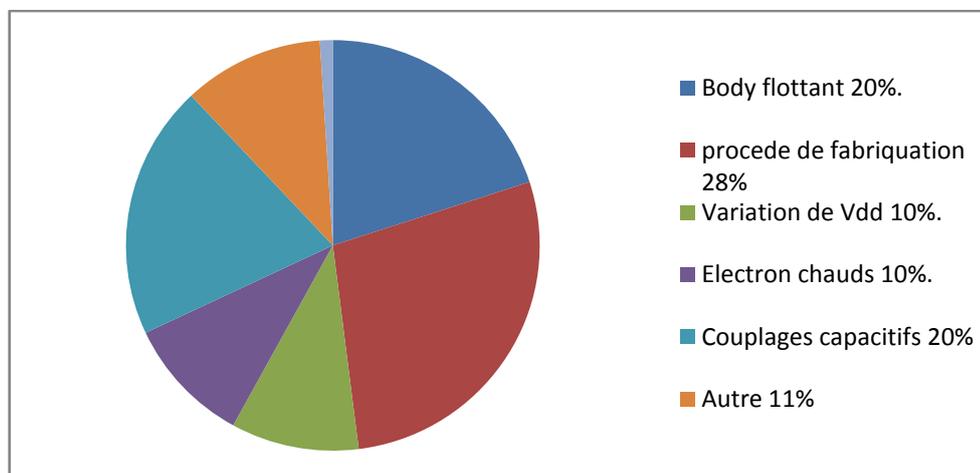


Figure.I.13 : Distribution de la variabilité du délai (fiabilité et performance) d'un circuit microélectronique en MOS-SOI.

I.4.2.2 Coût:

Le substrat de transistor MOS-SOI-PD employer plusieurs étapes que son homologue à substrat massif. La technique la plus répandue, est le procédé Smart-Cut de SOITEC Silcon (Société France).

Ces étapes sont respectivement: L'oxydation thermique, l'implantation de protons, le collage moléculaire, le découpage, le recuit et le polissage.

Un substrat MOS-SOI-PD coûte plus chère que le MOS-bulk.

I.5 Les motivations pour l'utilisation des transistors MOS-SOI-PD:

Les causes pour l'utilisation de la technologie MOS-SOI-PD sont :

- L'évolution de la technologie MOS-bulk, qui garde les mêmes procédés technologiques.
- La diminution de la dissipation de puissance telle que la réduction des capacités de jonction et des performances accrues pour la même tension d'alimentation V_{dd} .
- La réduction des dimensions géométriques qui conduit à une diminution des capacités et la sensibilité plus élevée aux radiations grâce à la présence de l'oxyde enterré.

La technologie MOS-SOI-PD est utilisée aujourd'hui en forte mesure dans le domaine des applications portables que dans celui des processeurs haute performance, comme on peut le voir dans le tableau. I. 2. Le MOS-SOI-PD tend à devenir un concurrent très sérieux pour le MOS-bulk.

Type	Technologie	Performance	V_{dd}	Compagnie
Multiplicateur 16 b	0,3 μ m	200MHz	0,5V	Toshiba
DRAM 16Mb	0,5 μ m	46ns	1V	Mitsubishi
Power PC 32 b	0,25 μ m	580MHz	2V	IBM
Power PC 64 b	0,2 μ m	550MHz	1,8V	IBM
Power PC 64 b	0,18 μ m	660MHz	1,5V	IBM
ALU	0,18 μ m	380ns	1,5V	Intel
Additionneur 32 b	0,08 μ m	1ns	1,3V	Fujitsu
PA-RISC 64 b	0,18 μ m	1GHz	1,5V	HP
SPARC64	0,13 μ m	1.3GHz	-	Fujitsu
Microcontrôleur	0,10 μ m	400MHz	0,8V	Mitsubishi

Tableau. I.3: Circuits réalisés en MOS-SOI-PD et relevés dans ISSCC (International Solid-State Circuits Conférence).

I.6 Désignation de la valeur de tension d'alimentation:

Le moyen le plus efficace de réduire cette consommation est d'abaisser la tension d'alimentation V_{dd} , comme indiqué dans (Eq. I.10). La puissance dynamique dépendant quadratiquement de V_{dd} .

Le facteur de qualité choisi est le produit puissance * délai, il représente l'énergie dissipée par un circuit électronique.

L'expression de la puissance dynamique est la suivante [I.20]:

$$P_{\text{dynamique}} = P_t \cdot C_{\text{out}} \cdot F_{\text{clk}} \cdot V_{\text{dd}}^2 \quad (\text{Eq. I.10})$$

Avec:

P_t : Représente le facteur d'activité (qui dépend de du traitement du signal appliqué).

F_{CLK} : La fréquence de commutation des phases de commande (fréquence de fonctionnement).

C_{out} : La capacité totale de sortie, qui est composée de la capacité de charge C_L et la capacité parasite due à l'interconnexion.

V_{dd} : Tension d'alimentation (l'amplitude des signaux de commande).

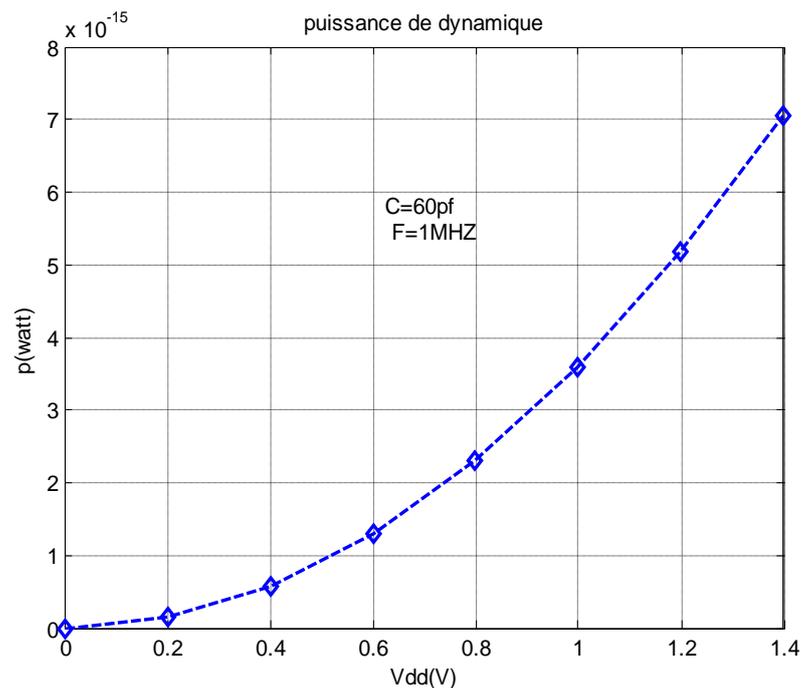


Figure. I.14: La puissance dynamique en fonction de la tension d'alimentation V_{dd} .

On remarque sur la figure. I.14 la puissance dynamique varié quadratiquement avec la tension d'alimentation V_{dd} .

Le délai d'une porte CMOS-SOI-PD peut donc s'écrire:

$$\begin{aligned} \text{Delai} &= \left(C_{\text{grille}} + C_{\text{diffusion}} + C_{\text{interconnexion}} \right) / I \\ &\cong \left(C_{\text{grille}} + C_{\text{diffusion}} + C_{\text{interconnexion}} \right) / \text{Largeur} \end{aligned} \quad (\text{Eq. I.11})$$

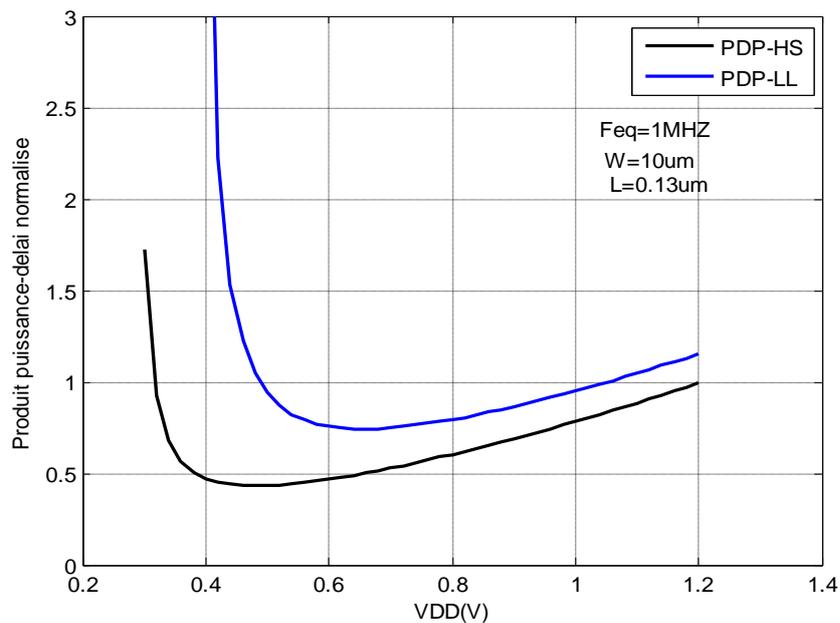


Figure. I.15: L'énergie dissipée d'un inverseur en fonction de la tension d'alimentation V_{dd} , pour tensions de seuil différentes, haute (LL : Low leakage) et basse (HS : high speed) à transistors iso-contact.

Iso-Contact: Body flottant lié au substrat, $V_{bs}=0V$.

On remarque que l'énergie dissipée chute rapidement avec la basse tension d'alimentation V_{dd} . Ceci est dû au fait que la puissance dynamique diminue quadratiquement.

L'énergie dissipée arrive alors à un minimum avant de repartir à la hausse. Lorsqu'on s'approche de la tension de seuil, le délai des transistors augmente exponentiellement, puisque l'on passe d'un courant de saturation à un courant de fuite.

La fréquence de fonctionnement étant très faible, on peut en conclure que les courants de fuite sont plus élevés en technologie MOS-SOI-PD à basse tension de seuil (HS).

Conclusion :

La technologie MOS-SOI-PD est favorable aux applications basse consommation. La suppression de l'effet source-série inversée permet d'améliorer les performances des circuits intégrés.

Nous avons vu que la tension d'alimentation optimale, pour minimiser l'énergie dissipée, se situe autour de 0.5V, et qu'il faut pour cela utiliser des transistors haute performance (basse tension de seuil).

En opérant à cette tension d'alimentation, nous avons utilisé le transistor MOS-SOI-PD à iso-contact (body flottant lié au substrat), $V_{bs}=0V$.

Chapitre-II

Introduction :

La zone active du transistor est située sur la zone d'oxyde enterré. Ainsi l'évacuation de la température dans la technologie MOS-bulk est prise en compte. Ceux-ci est liés au body flottant de la zone située entre la source et le drain. Ce chapitre traite les effets liés à l'isolation thermique par l'oxyde enterré.

Les effets de la miniaturisation des transistors MOS-SOI-PD permettent l'augmentation de la densité d'intégration et la réduction de coût de fabrication. Le temps de propagation augmente et la consommation du dispositif est réduite.

II.1 Les effets physiques :

II.1.1 L'effet d'auto-échauffement :

L'oxyde enterré utilisé dans les structures MOS-SOI-PD introduit des effets d'auto-échauffement dans la zone active du film de silicium. La conductivité thermique de l'oxyde étant beaucoup plus faible que celle du silicium. La chaleur accumulée en régime de saturation ne peut pas être évacuée convenablement. Il en résulte donc un sur-échauffement dans la zone active de silicium.

Donc, l'effet d'auto-échauffement se fait sentir quand la puissance fournie par le transistor MOS-SOI-PD fonctionne à forte tension de drain, ne peut plus être dissipée correctement.

L'augmentation de la température du réseau qui peut atteindre plusieurs centaines kelvin et qui induit des perturbations dans le fonctionnement du transistor. Pour prendre en compte l'auto-échauffement des transistors MOS-SOI-PD dans les modèles ou dans la simulation numérique, il faut étudier les grandeurs électriques dépendantes de la température. Tels que la mobilité, la tension de seuil ou la vitesse de cas de saturation. [II.1]

II.1.1.1 Variation de la mobilité avec la température dans les canaux longs :

L'effet d'auto-échauffement se produit principalement lorsqu'on atteint le régime de saturation. Le courant de saturation dans les canaux long peut s'écrire [II.2] :

$$I_{dsat} = \frac{W}{L} \cdot C_{ox} \cdot \mu(T) \cdot (V_{gs} - V_T(T))^2 \quad (\text{Eq. II. 1})$$

La mobilité du porteur en fonctionnement de la température du canal est définie par l'expression suivant :

$$\mu(T)_{eff} = \mu(T)_{eff,amb} \cdot \left(\frac{T_{ch}}{T_{amb}} \right)^{-ku} \quad (\text{Eq. II.2})$$

Avec :

$$Ku \in [1.5 \ 1.7] ,$$

$$T_{amb} = 300^{\circ}k ;$$

$$\mu(T)_{eff,amb} = 1000 \text{ cm}^2 \cdot \text{v}^{-1} \cdot \text{s}^{-1} \text{ pour NMOS-SOI-PD et } 500 \text{ pour PMOS.}$$

D'ou les seuls paramètres dépendant de la température sont la mobilité μ et la tension de seuil (V_T).

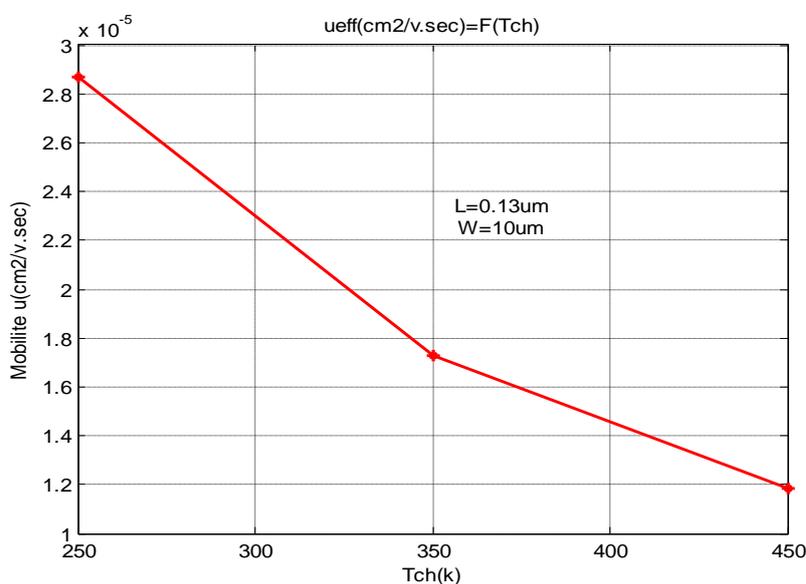


Figure II.1 : Variations de la mobilité avec de la température.

La tension de drain augmente ainsi que la puissance fournie. Donc ce que engendré une température croissante. Il l'équation (Eq. II.3) montre [II.3] que l'augmentation de la température est proportionnelle au produit de la puissance dissipée par la résistance thermique de l'oxyde enterrée :

$$\Delta T = R_{th} \cdot I_d \cdot V_{dd} \tag{Eq. II.3}$$

La nouvelle température calculée par l'équation (Eq. II.3) est alors réinjectée dans l'équation (Eq. II.1) du courant de saturation donnant lieu à une évolution de ce dernier l'augmentation de la température.

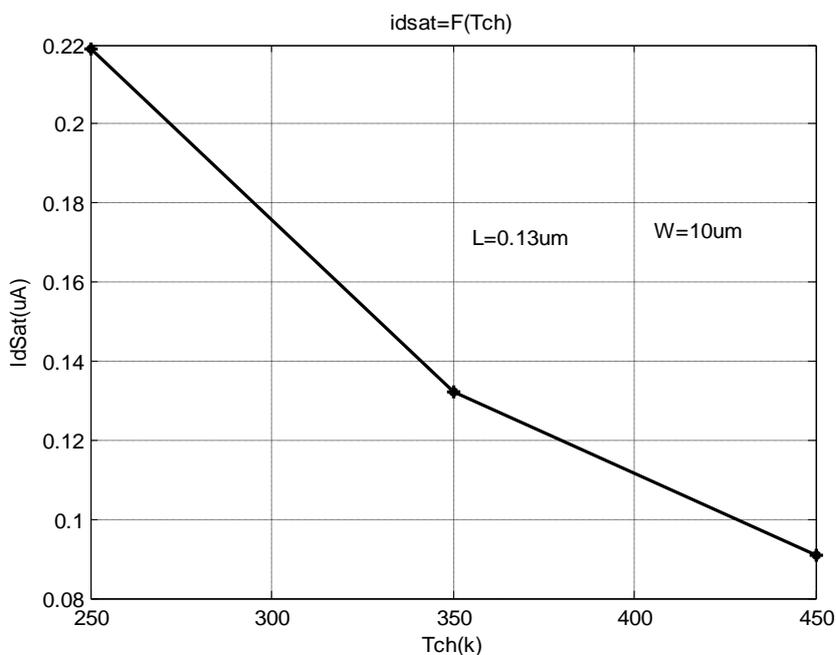


Figure .II.2 : Le courant de saturation en fonction de la température pour un MOS-SOI-PD.

Comme montre à la figure .II.2, l'auto-échauffement dans les MOS-SOI-PD tend à réduire le courant de saturation.

II.1.1.2 Evolution de la vitesse de saturation avec la température dans les canaux courts :

La méthode de calcul classique du courant de saturation pour les canaux courts est :

$$I_{dsat} = w \cdot C_{ox} \cdot V_{sat}(T) \cdot (V_{gs} - V_T(T)) \quad (\text{Eq. II.4})$$

La vitesse de saturation V_{sat} dépend aussi de la température du réseau voir l'équation suivante [II.2]:

$$V_{sat} = 2,4 \cdot 10^7 \cdot \frac{1}{1 + 0,8 \cdot e^{\frac{T_{ch}}{600}}} \quad (\text{Eq. II.5})$$

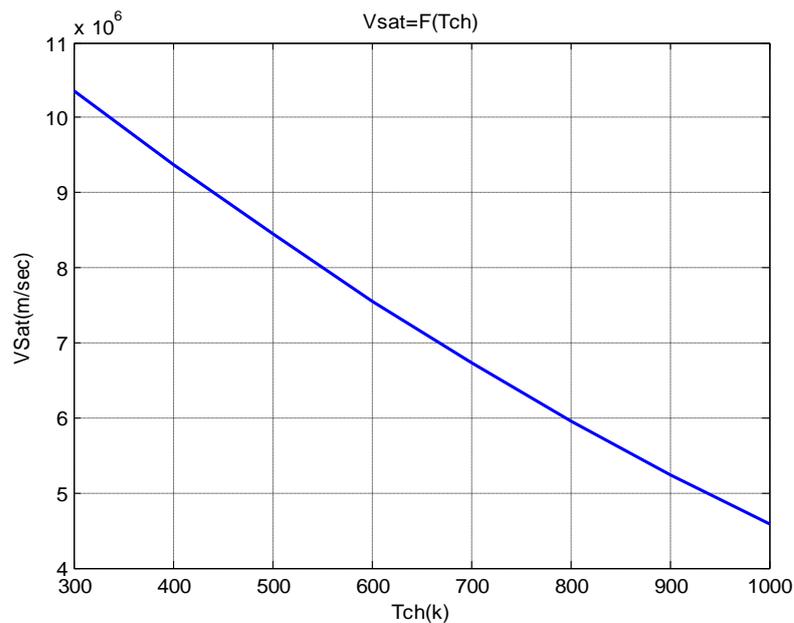


Figure .II.3 : La vitesse de saturation des porteurs est déterminée en fonction de la température du canal.

II.1.1.3 Effet de la température sur la tension de seuil dans les canaux

longs :

La température modifie également les niveaux d'énergie du silicium comme le potentiel thermique ou le niveau de fermi. Ainsi, le potentiel de bandes plates varie en fonction de la température selon l'expression suit [II.4]:

$$V_{FB} = V_{FB_{T_{amb}}} - \frac{\sigma}{L} \cdot V_{ds} + x \cdot (T_{ch} - T_{amb}) \quad (\text{Eq. II.6})$$

$\frac{\sigma}{L} \cdot V_{ds}$: Valeur du décalage lié aux effets DIBL.

x: Représente l'impact des effets thermiques sur le potentiel de bandes plates (V_{FB}). Sa valeur est de [-1 -3] mv/°k pour un NMOS-bulk et de [-0.23] mv/°k pour les MOS-SOI partiellement désertés.

Les expressions des potentiels de seuil sont fonctions du potentiel de bande plate. Ainsi les variations de la température se traduisent par les fluctuations des niveaux de ces potentiels. Par conséquent, à partir de l'équation (Eq. II.6), la tension de seuil V_T s'écrit par l'expression suit [II.4]:

$$V_T = V_{T_{T_{amb}}} - x \cdot (T_{ch} - T_{amb}) \quad (\text{Eq. II.7})$$

La réduction de la tension de seuil va entraîner l'élévation du courant de fuite du canal de semi-conducteur MOS-SOI-PD. Ainsi le courant de fuite I_{OFF} s'accroît en fonction de la température du canal.

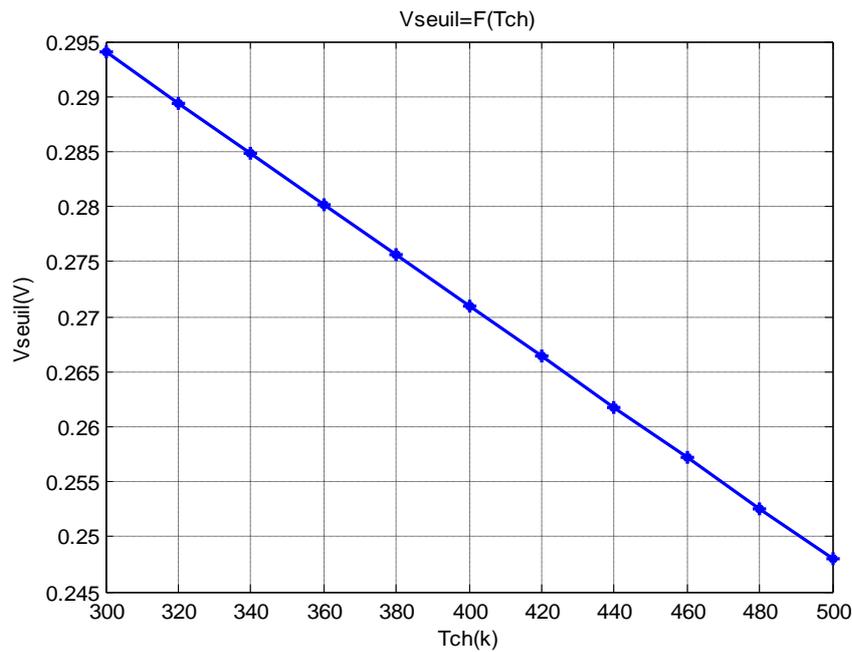


Figure. II.4 : La tension de seuil en fonction de la température du canal.

II.1.1.4 Influence de l'épaisseur de l'oxyde enterré et la largeur du transistor sur l'effet d'auto-échauffement :

En régime permanent, le flux thermique qui circule entre deux plans orthogonaux par rapport à un axe OX, voire la figure .II.5

$$\phi = -k. s. \frac{dT}{l} = -k. s. \frac{T_1 - T_0}{l} \quad (\text{Eq. II. 8})$$

Avec :

l : La longueur du matériau.

s : Est sa surface.

k : Représente la conductivité thermique.

T₀, T₁ : Les températures de matériau.

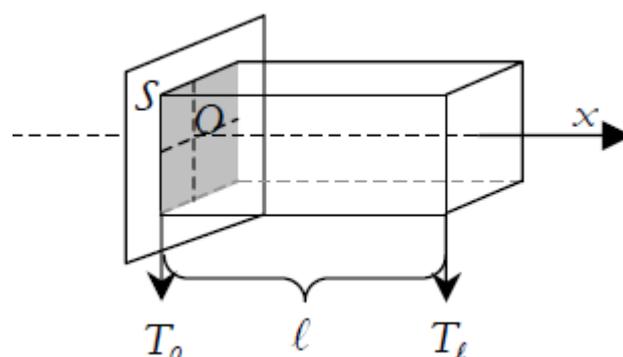


Figure .II.5 : Flux thermique dans un matériau selon l’axe OX.

Dans ce cas, il est possible de faire l’analogie entre le flux thermique soumis à une différence de température et le flux électrique soumis à une différence de potentiel. Pour cela, la notion de résistance calorifique ou thermique est induite :

$$R_{th} = \frac{1}{k.s} \quad (\text{Eq. II.9})$$

La notion de conductance en électricité, l’inverse de la résistance thermique s’appelle la conductance thermique. Il existe plusieurs expressions de la résistance thermique d’un MOS-SOI-PD tel que: Réseau de résistances ou flux thermique circuler dans le canal.

valeurs typiques de k à 300°k (w.m ⁻¹ .k ⁻¹)	
Silicium (Si)	148
L’oxyde de silicium (SiO ₂)	1.4
Aluminium (Al)	237
Cuivre (Cu)	401

Tableau .II.1: Quelques valeurs typiques de la conductivité thermique de cristaux purs à 300°k.

La figure. II.6 illustre les différents chemins possibles empruntés par le flux thermique au travers de la structure MOS-SOI-PD. Les sources de chaleur sont également indiquées. Les résultats comparant les valeurs typiques de la conductivité thermique de

chaque matériau constituant de MOS-SOI-PD, sont donnée au tableau .II.1. Les métallisations présentent une conductivité thermique plus forte que les oxydes.

Les métallisations participent majoritairement à la dissipation de la chaleur.

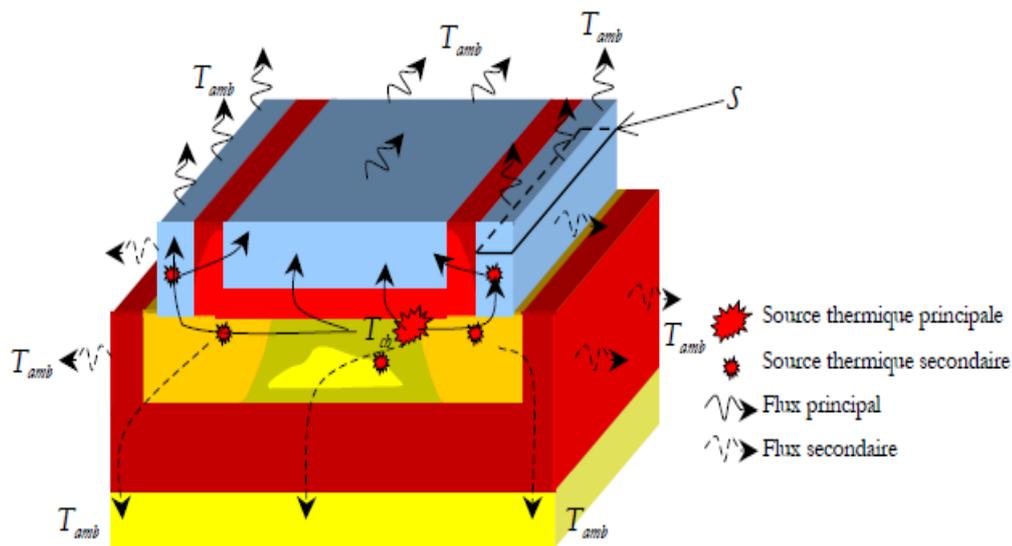


Figure. II.6 : Illustration des chemins possibles empruntés par le flux thermique aux sources thermiques jusqu'à l'environnement extérieur.

La résistance thermique équivalente de l'oxyde dans les transistors MOS-SOI-PD peut s'écrire de la manière suivante [II.5]:

$$R_{th} = \frac{t_{box}}{k_{ox} \cdot A_{eff}} \quad (\text{Eq. II.10})$$

Avec les paramètres suivant :

$$A_{eff} = 2 \cdot w \cdot \alpha \cdot \tanh \left(\frac{L_t + 2 \cdot \alpha'}{2 \cdot \alpha} \right)$$

$$\alpha = \sqrt{t_{box} \cdot t_{si}} \cdot \sqrt{\frac{k_{si}}{k_{ox}}}$$

$$\alpha' = \sqrt{t_{box} \cdot t_{si}}$$

A_{eff} : L'air effectif utilisé pour l'évacuation de la chaleur.

w et L_t sont respectivement la largeur et la longueur totale du dispositif

t_{si} et t_{box} sont respectivement l'épaisseur du film de silicium et de l'oxyde enterrée

k_{si} : Conductivité thermique du silicium.

k_{ox} : Conductivité thermique d'oxyde.

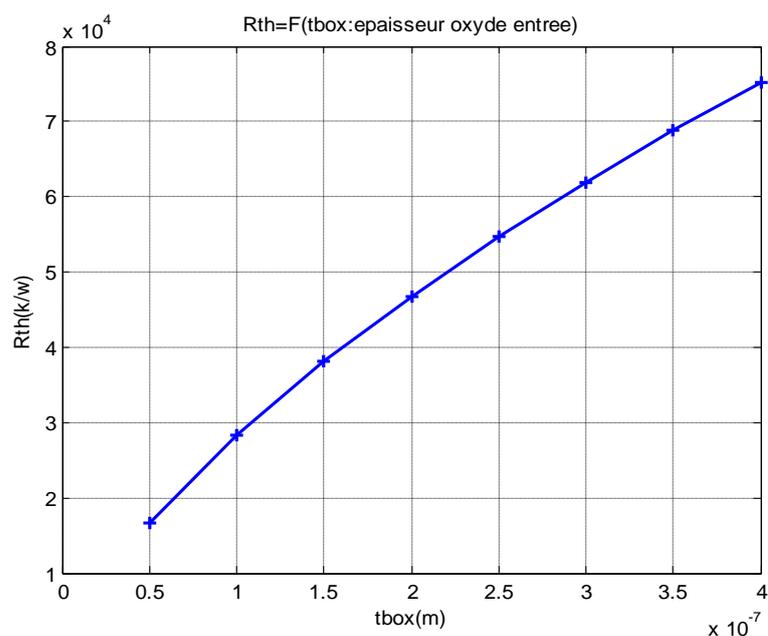


Figure .II.7 : L'influence de l'épaisseur de l'oxyde enterrée sur la résistance thermique ($t_{si}=160\text{nm}$, $k_{si}=131\text{w.m}^{-1}.\text{k}^{-1}$, $k_{ox}=1.4\text{w.m}^{-1}.\text{k}^{-1}$).

L'équation (Eq. II.10) est une forme simplifiée de la résistance thermique [II.5], suppose que les écarts de température à travers l'oxyde de grille et dans le canal sont négligeables. Par conséquent, la résistance thermique dépend de l'épaisseur de l'oxyde enterré. Plus cette épaisseur est élevée, plus la résistance thermique s'accroît. Ceci est traduit par une élévation de la température du canal un flux thermique constant au travers de cet oxyde. En outre, lorsque la largeur du MOS-SOI-PD augmente, la valeur de R_{th} diminue.

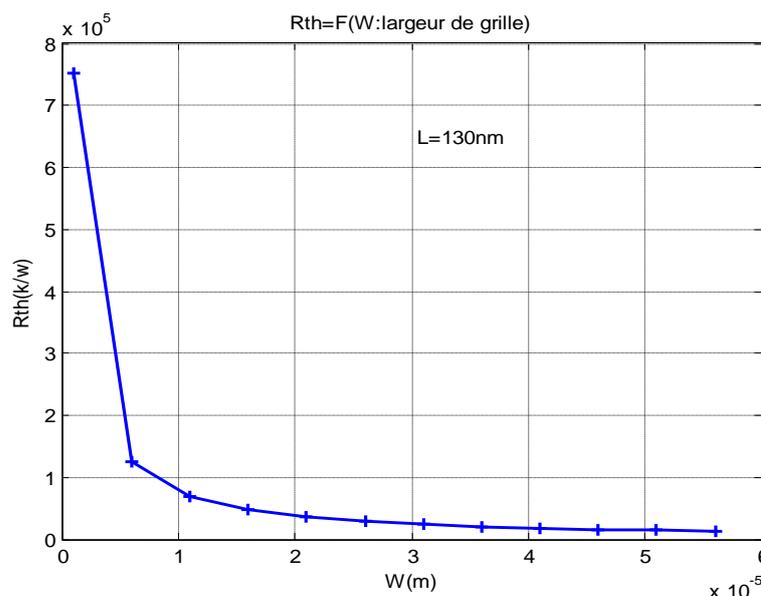


Figure .II.8 : L’influence de la largeur du transistor sur la résistance thermique ($t_{si}=160nm$, $t_{box}=400nm$, $k_{si}=131w.m^{-1}.k^{-1}$, $k_{ox}=1.4w.m^{-1}.k^{-1}$).

II.1.2 Les effets liés au potentiel de MOS-SOI à substrat flottant et à prises:

Les transistors MOS-SOI-PD présentent une zone interne flottante sous le canal et la zone de déplétion (nœud interne de substrat), à l’origine de plusieurs phénomènes physiques parasites en cas d’injection de charge, la première l’effet KINK et le secondaire effet transistor bipolaire parasite.

II.1.2.1 Effet KINK :

Cet effet s’observe sur la caractéristique statique du courant de drain $I_{ds}=f(V_{ds})$ par un (KINK) dans la pente (Figure .II.9). Il est surtout présent dans les transistors NMOS-SOI-PD qui possèdent une zone interne flottant.

L’équation du courant de drain, qui comporte 14 paramètres (voire l’annexe 2), est donnée par [II.6]:

$$I_{ds}(V_{gs}, V_{ds}) = I_{pk} \cdot W \cdot [1 + P(V_{gs}) \cdot \tanh(\Psi)] \times [P(V_{gd}) \cdot \tanh(V_{ds} \cdot (\alpha_1 \cdot V_{gs} + \alpha_2))] \times [0.5 \cdot (1 + \tanh(8 \cdot (V_{gs} - V_T)))] \quad (\text{Eq. II.11})$$

Avec :

$$\Psi(V_{gs}) = P_1 \cdot (V_{gs} - V_{pk})^1 + P_2 \cdot (V_{gs} - V_{pk})^2 + P_3 \cdot (V_{gs} - V_{pk})^3$$

$$P(V_{gs}) = K_0 + K_1 \cdot (V_{gs})^1 + K_2 \cdot (V_{gs})^2 + K_3 \cdot (V_{gs})^3$$

$$P(V_{gd}) = 1 + \lambda_1 \cdot (V_{gd})^1 + \lambda_2 \cdot (V_{gd})^2 + \lambda_3 \cdot (V_{gd})^3$$

$$W = W_d \cdot N_d$$

$$W_d = \frac{\epsilon_{si}}{C_{dep}}$$

W_d et N_d sont respectivement la largeur unitaire et le nombre des doigts de grille du composant.

Dans ce modèle Angelove.Siligaris, l'effet KINK est modélisé par l'addition une deuxième source de courant appelle I_{KINK} en parallèle de la source I_{ds}

La source de courant I_{KINK} est défini par :

$$I_{kink}(V_{gs}, V_{ds}) = I_{ks} \cdot V_{gs} \cdot V_{ds} (1 + c \cdot V_{ds}) \left[1 + \tanh \left(a_1 \cdot \left(V_{ds} - \frac{b}{\sqrt{V_{gs} + V_T}} \right) \right) \right] \quad (\text{Eq. II. 12})$$

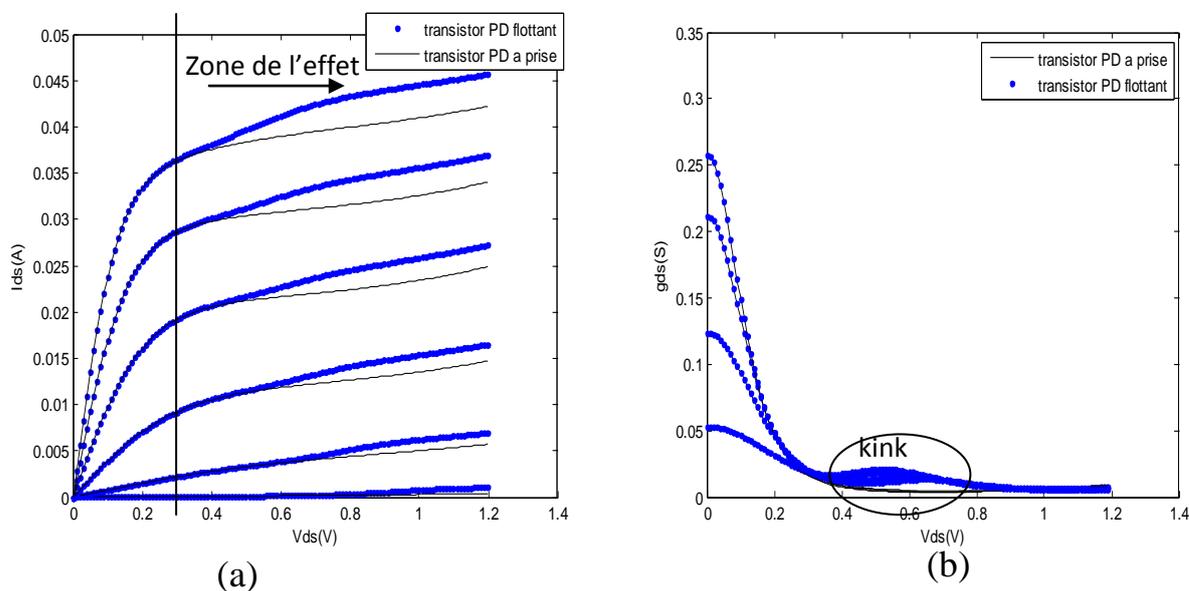


Figure .III.9 : (a): Caractéristiques en courant $I_{ds}=f(V_{ds})$ de sortie et (b): Conductance $g_{ds}=f(V_{ds})$ des transistors MOS-SOI-PD avec et sans effet KINK ($L_g=0.13 \mu\text{m}$, $W=10 \mu\text{m}$), V_{gs} variable.

Ce phénomène est dû au mécanisme d'ionisation par impact dans les régions de champs électrique élevés près du drain. Au-delà d'une certaine tension de drain, les électrons possèdent suffisamment d'énergie. Dans les zones de champ élevé proches du drain, pour générer des paires électron-trou, les électrons se déplacent rapidement vers le drain tandis que les trous majoritaires dans le substrat, migrent naturellement vers la zone interne neutre où le potentiel est moindre. L'accumulation des trous induit une augmentation du potentiel de la zone interne, ce qui va polariser la jonction substrat-source et permettre l'écoulement des charges positives.

Par conséquent, la tension de seuil du transistor diminue et un courant supplémentaire va s'ajouter au courant de drain I_{ds} , générant un (KINK) sur la pente de la caractéristique $I_{ds} = f(V_{ds})$ et sur la conductance de sortie g_{ds} . Des mesures de la conductance de sortie dynamique ont montré que ce mécanisme disparaissait au-delà de 1 MHz. [II.7]

L'effet KINK peut être éliminé par contacter à prises substrat permettant d'imposer un potentiel externe à la zone interne du substrat des transistors MOS-SOI-PD. Cependant, ces prises augmentent les capacités parasites et la résistance d'accès de grille, diminuant ainsi les performances en fréquence des transistors MOS-SOI-PD.

Dans les transistors MOS-SOI-TD, le champ électrique près du drain est plus faible que dans les transistors MOS-SOI-PD, ce qui limite le mécanisme d'ionisation par impact, et diminue donc le nombre de paires électron-trou générées. De même que pour les transistors MOS-SOI-PD, les trous vont se déplacer vers la zone de plus faible potentiel, près de la jonction de source. Mais celle-ci est déjà polarisée (la barrière de potentiel source-substrat est plus faible car la zone active est totalement désertée), si bien que les trous peuvent rapidement se recombiner dans la source sans augmenter le potentiel du substrat interne. Le phénomène existe donc aussi pour les transistors MOS-SOI-TD, mais les conséquences sont différentes à savoir: le potentiel du substrat reste inchangé et la tension de seuil n'est pas modifiée. Les transistors NMOS-SOI-TD en inversion ne présentent donc pas d'effet KINK.

Quant aux transistors PMOS-SOI, ils ne sont pas sujets à l'effet KINK car le coefficient de génération des paires électron-trou pour les trous énergétiques est inférieur à celui des électrons énergétiques.

II.1.2.2 L'effet secondaire du transistor bipolaire parasite :

Ce dispositif parasite, de type NPN ou PNP, est localisé dans le film de silicium des transistors MOS-SOI-PD (Figure .II.10).

L'émetteur et le collecteur sont formé par la source et le drain dopés N^+ et la base par le substrat de type P. Ce transistor parasite apparaît pour des champs électriques élevés, lorsque les trous, créés par le phénomène d'ionisation par impact, migrent dans la zone flottante de substrat. Le transistor bipolaire parasite à l'origine du second effet KINK.

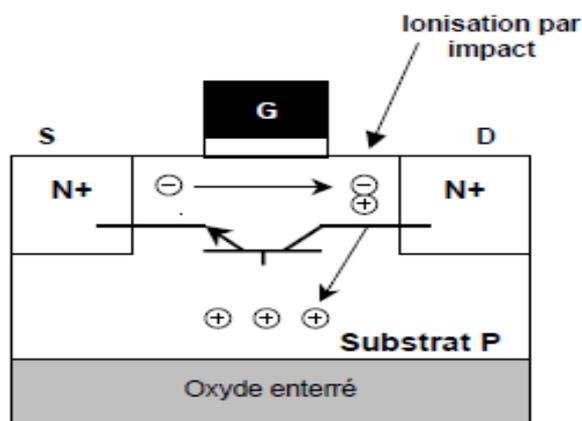


Figure .II.10: Effet du transistor bipolaire parasite pour un transistor MOS-SOI-PD.

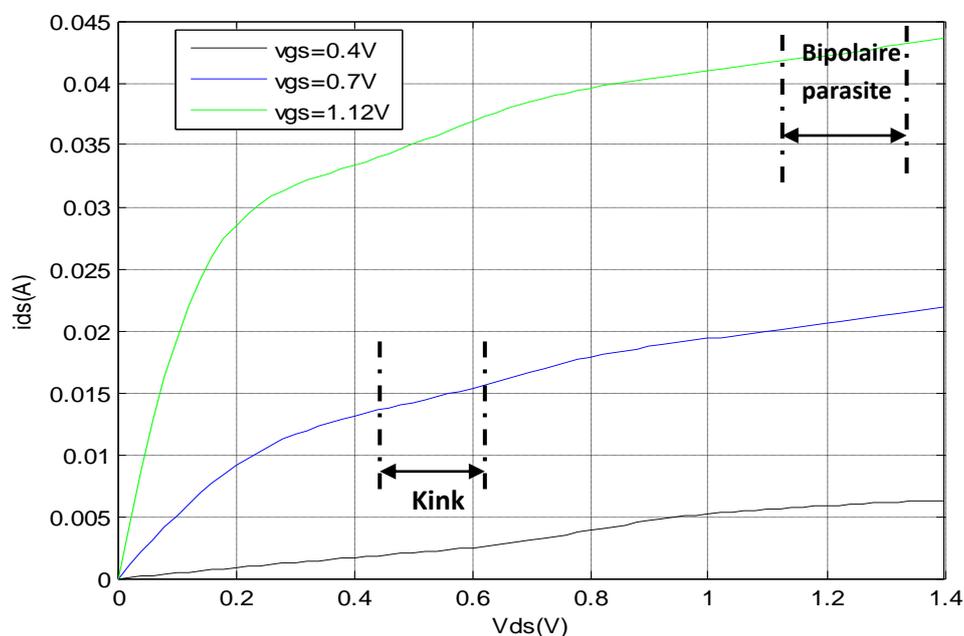


Figure .II.11 : Caractéristique statique du MOS-SOI-PD à body flottant ($L=0.13\mu m$, $W=10\mu m$).

Le transistor bipolaire parasite est responsable d'un claquage prématuré (la jonction collecteur/base) par rapport aux composants en MOS-bulk. Le transistor bipolaire parasite induit également des problèmes de consommation de puissance, une hystérésis dans les caractéristiques courant-tension sous le seuil et une possible perte totale de contrôle par la grille. [II.8]

II.2 Les effets des miniaturisations MOS-SOI-PD :

II.2.1 Problèmes liés aux faibles épaisseurs d'oxyde:

La réduction de la longueur du canal et l'épaisseur d'oxyde de grille doit être réduite afin de pallier aux effets canaux courts et d'améliorer le contrôle du canal de conduction. Une augmentation du courant de drain passe notamment par une augmentation de la capacité d'oxyde, ce qui équivalent à une diminution de l'épaisseur d'oxyde électrique.

Cette diminution de l'épaisseur d'oxyde électrique qui est en possible grâce à une augmentation de la capacité physique détermine par l'expression suivante:

$$\frac{k_{ox} \cdot \epsilon_0 \cdot S}{t_{ox}} \quad (\text{Eq. II. 13})$$

Avec:

k_{ox} : La permittivité relative de l'oxyde.

ϵ_0 : La permittivité du vide.

t_{ox} : L'épaisseur physique de l'oxyde de grille.

Pour des épaisseurs inférieures à 2nm, la couche d'oxyde devient suffisamment fine pour permettre le passage des porteurs par effets tunnel direct. Ce passage est à l'origine d'un courant tunnel de grille.

L'apparition d'un courant de grille entraîne un accroissement du courant à l'état bloqué, I_{OFF} , donc de la puissance dissipée perturbe le bon fonctionnement du transistor à l'état passant puisque les électrons du canal peuvent s'échapper vers la grille par l'intermédiaire de l'oxyde. Ces effets ne sont pas encore critiques pour le bon fonctionnement du transistor, même si les applications basse consommation souffrent de plus en plus de l'augmentation continue de la puissance dissipée. [II.9]

La solution en cours d'étude, consiste donc à remplacer le diélectrique standard SiO_2 ($k=1.4$) par un diélectrique de plus haute permittivité comme l'oxyde d'hafnium (HfO_2 : $k=20-25$). [II.10] Son gap relativement grand de l'ordre de 5.65eV [II.11] et sa relative stabilité thermodynamique sur le silicium semble être un substituant de l'oxyde de silicium. [II.12]

II.2.2 La déplétion de grilles :

La diminution de l'épaisseur d'oxyde électrique, peut également s'obtenir par le changement de matériau de la grille. En effet, les électrodes de grille standard sont en silicium poly-cristallin et sont la cause d'une zone de désertion à proximité de l'interface avec l'oxyde lorsque le canal est en inversion. L'utilisation d'une grille poly-silicium totalement siliciure [II.13] ou de grilles métalliques [II.11] [II.14] permet alors de supprimer cette zone de désertion parasite.

L'ajustement de la tension de seuil se fait par le biais du travail de sortie de la grille métallique. On a trouvé les matériaux de type mid-gap dont le travail de sortie est identique à celui du silicium. COSi_2 et TiN comme exemple de matériaux. [II.15]

II.2.3 Les problèmes liés au dopage du dispositif :

La réalisation de profils de complexes (rétrograde, halos, poches et dopage entre caissons source-drain fortement dope et canal faiblement dope) dans des dispositifs de plus en plus petits révèle technologiquement des difficultés croissantes, notamment si l'on désire une parfaite reproductibilité d'un transistor.

Le nombre d'impureté dans le canal participant à l'élaboration est de plus en plus faible par la réduction croissante des dimensions du canal (pour un substrat dope 10^{18} atomes/cm³ et un canal mesurant $20 \times 20 \times 20 \text{nm}^3$ est en moyenne de 8 impuretés). Ces fluctuations des performances de plus grandes vont aboutir, à terme, à des problèmes plus difficiles à surmonter dans les technologies MOS-SOI-PD [II.16] [II.17] et par voie de conséquence, dans l'élaboration des circuits intégrés.

II.2.4 Les effets des canaux courts :

On avec l'atteinte des longueurs de la grille L_g (longueur du canal) ultra submicroniques, se créent tous des effets parasites qui influent sur la tension de seuil (V_T).

Deux effets parasites sont prédominants lorsque l'on atteint des dimensions très faibles sont :

- 1- Le partage de charge CS (Charge Sharing ou Roll-off)
- 2- L'effet DIBL (Drain Induced Barrier Lowering).

II.2.4.1 La distribution de la charge de déplétion:

En diminuant la longueur de la grille, c'est-à-dire, en rapprochant la zone de diffusion source avec la zone de diffusion drain, le temps de commutation diminue du dispositif mais provoque à la perte du contrôle électrostatique de la grille sur le canal. [II.18]

En effet, dans les transistors canal longs, la charge de désertion (la charge de grille) dans le canal est essentiellement contrôlée par la grille. Mais, lorsque la longueur de grille du transistor diminue, les régions de désertion aux jonctions source drain restent de taille constante (MOS-bulk) alors que la région du canal contrôlée par la grille diminue. Voir la figure. II.12 ci-dessous.

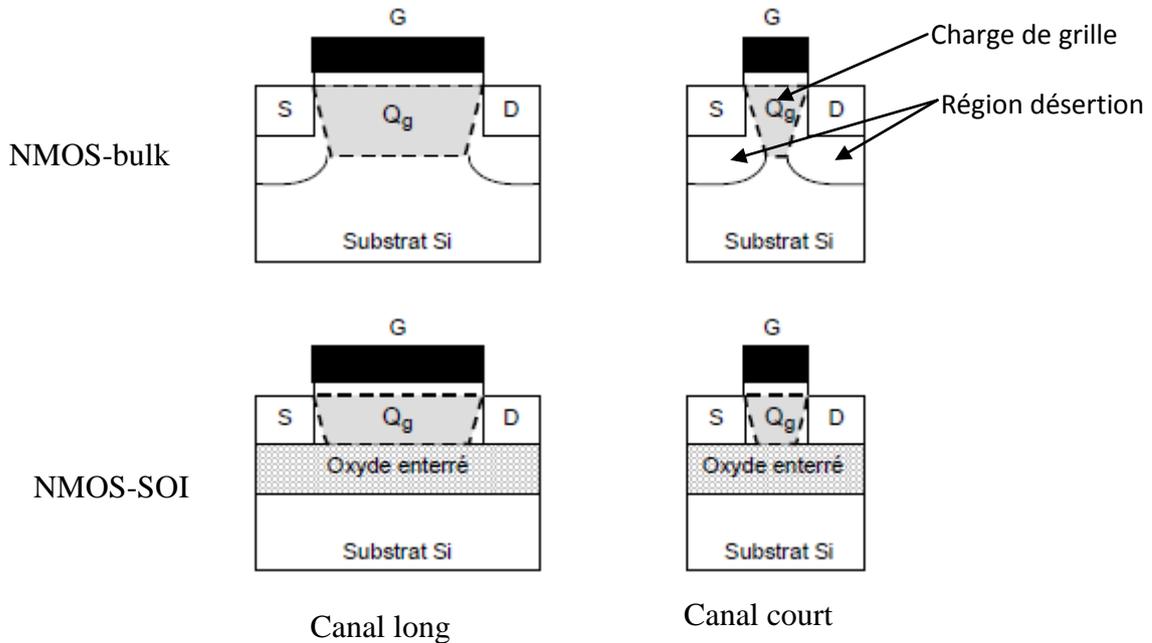


Figure .II.12 : Distribution de la charge de désertion contrôlée par la grille (Q_g) pour les transistors à canal long et à canal court.

II.2.4.2 L'abaissement de la barrière de potentiel induit par le drain

(DIBL) :

L'effet DIBL se produit lorsqu'un potentiel élevé est appliqué au drain : La région de déplétion du drain interagit avec la source près de la surface, abaissant la barrière de potentiel.

La source introduit, alors plus de porteurs dans le canal sans variation du potentiel de grille. L'effet DIBL se manifeste d'autant plus que la tension V_{ds} est élevée et la longueur effective L_{eff} du transistor est courte: Il est proportionnel à V_{ds}/L_{eff}^2 . [II.19]

L'effet DIBL est illustré en figure. II.13: Il déplace la courbe vers le haut et à la gauche lorsque la tension V_{ds} augmente et mesuré par le décalage de la courbe de transfert en deux régimes (régime linéaire $V_{ds}=50\text{mv}$ et régime saturation $V_{ds}=0.5\text{v}$) sous seuil ΔV_T divisé par le ΔV_{ds} entre deux courbes résultant de deux tensions de drain différentes:

$$DIBL = \frac{\Delta V_T}{\Delta V_{ds}} = \frac{V_{Tlin} - V_{Tsat}}{V_{dslin} - V_{dssat}} \text{ (mV/V)} \quad \text{(Eq. II.14)}$$

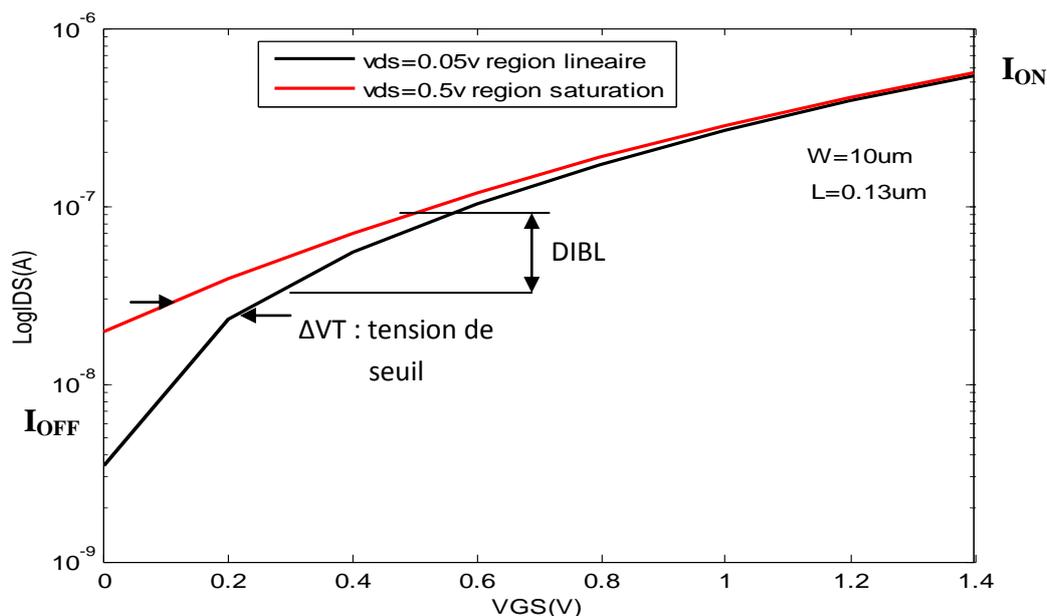


Figure. II.13 : Influence de l’effet DIBL sur la caractéristique $I_{ds}(V_{gs})$ d’un transistor NMOS-SOI-PD à 130 nm ($t_{ox}=2nm, t_{box}=400nm, t_{si}=160nm$).

Conclusion:

L’utilisation d’un oxyde enterrée dans les transistors MOS-SOI-PD provoque le confinement de la température dans le semi-conducteur. Cela introduit des effets d’auto-échauffement dus à la faible conductivité thermique du dispositif.

La zone de body (nœud interne de substrat) est située entre les deux diffusions source-drain et sous la zone de déplétion et sur l’oxyde enterrée. Cette zone engendre (en région pseudo saturation) un courant supplémentaire appelle le courant KINK qui s’ajoute au courant de drain I_{ds} . Pour éliminer l’effet KINK en utilise la technologie MOS-SOI-TD.

Chapitre-III

Introduction:

La dissipation d'énergie optimale d'un circuit est obtenue par une tension d'alimentation très basse, avec respect des performances. Pour évaluer le comportement des transistors en inversion sous la tension de seuil [III.1], on propose un modèle d'évaluation.

Des modèles tels que EKV(Enz–Krummenacher–Vittoz) [III.2], BSIMSOI3.1[III.7] et le modèle MOSFET transrégional basse puissance [III.3] ont été développés pour la conception et la simulation des circuits analogiques ou à signaux mixtes basse tension. L'inconvénient de ces modèles est que l'expression de leur courant de drain est complexe.

D'autres modèles ont été développés de manière à simplifier l'équation du courant de drain, tel que le modèle MOSFET physique [III.4]. L'inconvénient de ce modèle est qu'il favorise une seule région (région linéaire) et il néglige la région de saturation, c'est-à-dire, les effets canaux invisible.

Nous avons étudié donc un modèle qui simplifie l'équation du courant de drain avec prise en compte des effets au niveau du canal court basé sur des paramètres physiques et qui décrivent les caractéristiques sous seuil des transistors.

III.1 Modèle Alexander Valentian :

Pour l'élaboration du courant de drain des transistors MOS, nous avons étudié ce modèle pour une technologie MOS-SOI-PD à 130nm à une tension d'alimentation inférieure à 500mv. Cet effet devra être pris en compte dans la modélisation de technologies fortement sous-microniques, pour résumer, le modèle est décrit à l'aide de quatre paramètres :

- Un paramètre de procédé :

La concentration N_a , qui donne γ et ϕ_F

- Trois paramètres d'ajustement :

a : Qui fixe la variation de la tension de seuil,

m: Pour mieux décrire la région pseudo-linéaire du courant $I_{ds}(V_{ds})$

λ : Extraits de la courbe $I_{ds}(V_{ds})$, qui représente l'ordonnée à l'origine et la pente de la région pseudo-saturée.

L'expression complète du modèle (A. Valentian) de comportement sous seuil d'un transistor MOS-SOI-PD, en fonction des tensions V_{gs} , V_{bs} et V_{ds} [III.6]:

$$I_{ds}(V_{bs}, V_{gs}, V_{ds}) = W \cdot d_0 \cdot 10^{\frac{|V_{gs}| - |V_T|}{s}} \cdot \left(1 - e^{-\frac{m \cdot V_{ds}}{V_t}}\right) \cdot (a + \lambda V_{ds}) \quad (\text{Eq. III.1})$$

Où $V_t = kT/q$: La tension thermodynamique.

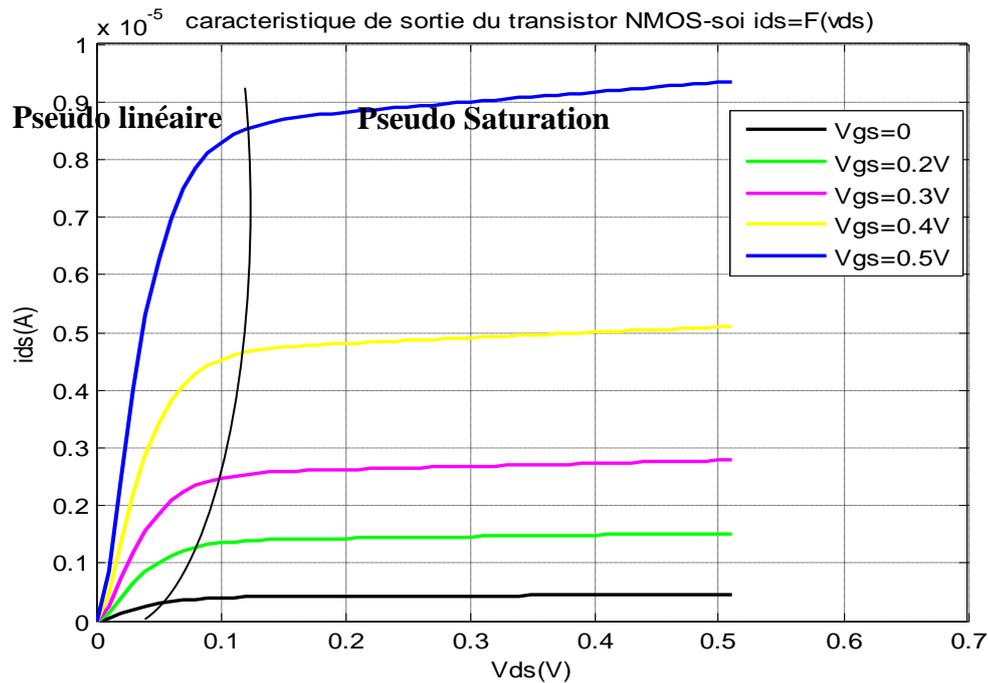


Figure.III.1: Caractéristiques $I_{ds}(V_{ds})$ d'un transistor NMOS, V_{gs} variable
($V_{bs}=0V$, $V_t=0.02585V$, $d_0=10^{-7}A/m$, $S=60$ mv/déc, $m=1$, $a=1$, $\lambda = 1$).

On remarque sur la figure. III.1 le courant drain-source de transistor NMOS-SOI-PD donné deux régions :

- ✓ Premièrement région linéaire appel zone pseudo-linéaire, le courant de drain dépend exponentiellement de la tension V_{ds} [III.6] :

$$I_{ds}(V_{ds}) = W \cdot d_0 \cdot 10^{\frac{|V_{gs}| - |V_T|}{s}} \cdot \left(1 - e^{-\frac{m \cdot V_{ds}}{V_t}}\right) \quad (\text{Eq. III.2})$$

- ✓ Deuxième région de pseudo-saturation, le courant de drain devient linéaire :

$$I_{ds}(V_{ds}) = W \cdot d_0 \cdot 10^{\frac{|V_{gs}| - |V_T|}{s}} \cdot (a + \lambda V_{ds}) \quad (\text{Eq. III.3})$$

De plus, le cas pseudo saturation NMOS-SOI-PD donne un effet en appel I_{KINK} (voir le chapitre II).

III.2 Comparaison entre les deux modèle Angelove et modèle A.Valentain à influence des effets canal court:

D'après l'étude précédemment, décrivons les donnes comme suite:

Les modèles impacts	$V_{dd}(V)$	Fréquence(HZ)	I_{KINK}	$I_{bipolaire}$
Modèle Angelove	1.4	Haute	Influence	influence
Modèle A.Valentain	0.5	Bas (inferieur 0.8Ghz)		No influence

Tableaux.III.1: Représente la comparaison entre les deux modèles.

On remarque sur le tableau l'effet bipolaire dépend la haute fréquence et hausse tension d'alimentation.

III.3 Caractéristique sous seuil analytique à ce modèle (sous le seuil diode):

Le courant de drain I_{ds} dans la région de conduction sous le seuil dépend exponentiellement de la tension grille-source V_{gs} . Cette dépendance s'exprime en fixant une référence de densité de courant $d_0 = I_0/W_0$ mesurée à $V_{gs} = V_{T0}$ et du facteur de pente sous le seuil S [III.5]:

$$I_{ds}(V_{gs}) = W \cdot \frac{I_0}{W_0} \cdot 10^{\frac{|V_{gs}| - |V_{T0}|}{s}} \quad (\text{Eq. III.4})$$

Où:

W : Représente la largeur de la grille du transistor.

V_{T0} : Représente la tension V_{gs} nécessaire pour qu'un transistor de largeur W_0 fournisse un courant I_0 .

$$\text{Avec : } I_0 = \frac{W}{L} \cdot \left(\frac{KT}{q}\right)^2 \cdot \exp\left(-\frac{2q\phi_F}{KT}\right) \cdot \left(1 - \exp\left(-\frac{qV_{ds}}{KT}\right)\right)$$

Le terme S représente la pente sous le seuil, qui est fonction de la capacité de déplétion C_{dep} et la capacité d'oxyde de grille C_{ox} (capacité du diélectrique), par unité de surface:

$$S = \frac{K.T}{q} \cdot n \cdot \ln(10) = \frac{K.T}{q} \cdot \ln(10) \cdot \left(1 + \frac{C_{dep}}{C_{ox}}\right) \quad (\text{Eq. III.5})$$

$n=1 + \frac{C_{dep}}{C_{ox}}$: Le facteur de substrat.

Dans le cas idéal ou C_{dep} est négligeable devant C_{ox} , on obtient la pente théorique minimale de 60mv/décade à 300°k, le contrôle de la pente sous le seuil est primordial pour le paramètre du courant de fuite I_{OFF} .

Pour une tension grille-source nulle ($V_{gs}=0V$), d'après l'équation (Eq. III.4) le courant de fuite est calculé par l'expression suivant :

$$I_{L(\text{leakage})} = W \cdot d_0 \cdot 10^{\frac{-|V_{T0}|}{S}} \quad (\text{Eq. III.6})$$

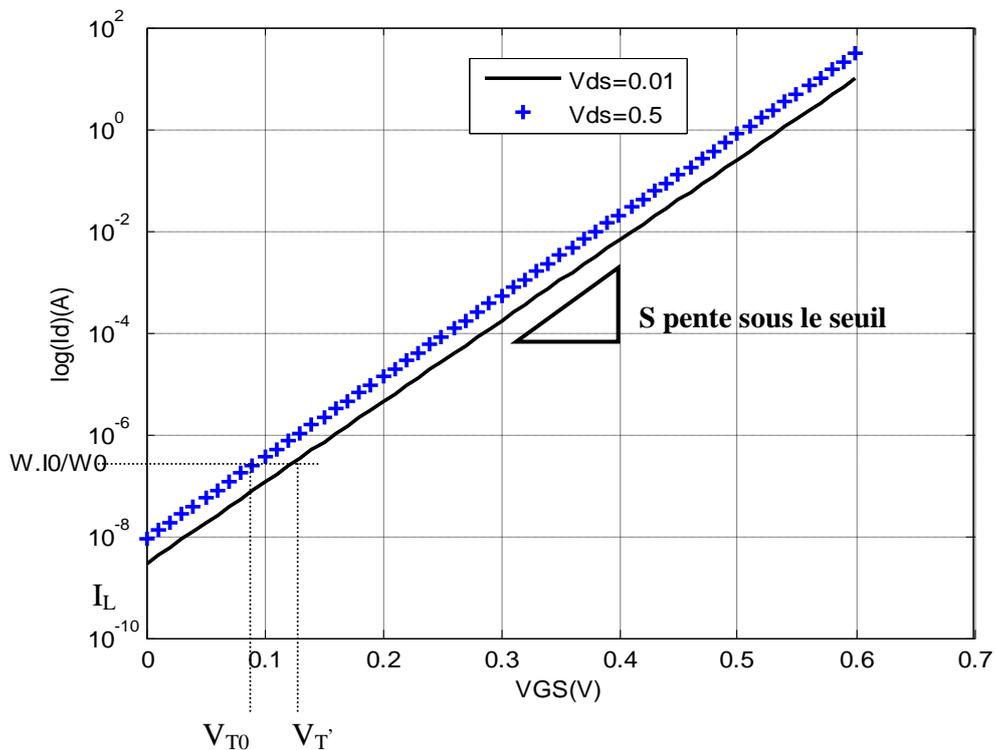


Figure.III.2: Caractéristiques sous le seuil d'un transistor NMOS-SOI-PD.

Remarque sur la figue ci-dessus le passage de V_{T0} à V_T' peut s'exprimer par une variation ΔV_T :

$$V_T' = V_{T0} + \Delta V_T \quad (\text{Eq. III.7})$$

L'expression de ΔV_T est similaire à celle concernant la tension de seuil en forte inversion [III.6]:

$$\Delta V_T = \gamma \left(\sqrt{2 \cdot \varphi_F - (1 - \alpha) \cdot V_{bs}} - \sqrt{2 \cdot \varphi_F} \right) \quad (\text{Eq. III.8})$$

Avec :

Le paramètre α a été introduit pour mieux décrire la dépendance du la tension body-source.

Le terme γ représente le facteur de body :

$$\gamma = \frac{\sqrt{2 \cdot q \cdot N_a \cdot \epsilon_0 \cdot \epsilon_{si}}}{C_{ox}} \quad (\text{Eq. III.9})$$

et φ_F le potentiel de quasi-fermi dans le body :

$$\varphi_F = \frac{k \cdot T}{q} \cdot \ln \left(\frac{N_a}{n_i} \right) \quad (\text{Eq. III.10})$$

La pente sous le seuil dépend de la capacité de déplétion (voir (Eq. III.5)), cette capacité étant fonction de la variation de la quantité de charge de déplétion Q_{dep} , elle dépend directement du potentiel de surface Ψ_S [III.6] :

$$C_{dep} = \frac{\delta Q_{dep}}{\delta \Psi_S}$$

$$\text{Avec : } Q_{dep} = \sqrt{2 \cdot q \cdot N_a \cdot \epsilon_0 \cdot \epsilon_{si} \cdot (\Psi_S - V_{bs})}$$

$$\text{Donc : } C_{dep} = \sqrt{\frac{q \cdot N_a \cdot \epsilon_0 \cdot \epsilon_{si}}{2 \cdot (2 \cdot \varphi_F - V_{bs})}} \quad (\text{Eq. III.11})$$

III.4 Les comportements de modèle avec les grandeurs g_m et g_{ds} :

Ces deux grandeurs électriques donnent une évaluation du premier ordre du comportement du transistor soumis à des tensions variables.

III.4.1 Transconductance g_m en fonction de la polarisation V_{gs} , V_{ds} variable:

$$g_m = \frac{\partial I_{ds}}{\partial V_{gs}} \text{ avec } V_{ds} = \text{constante} \quad (\text{Eq. III.12})$$

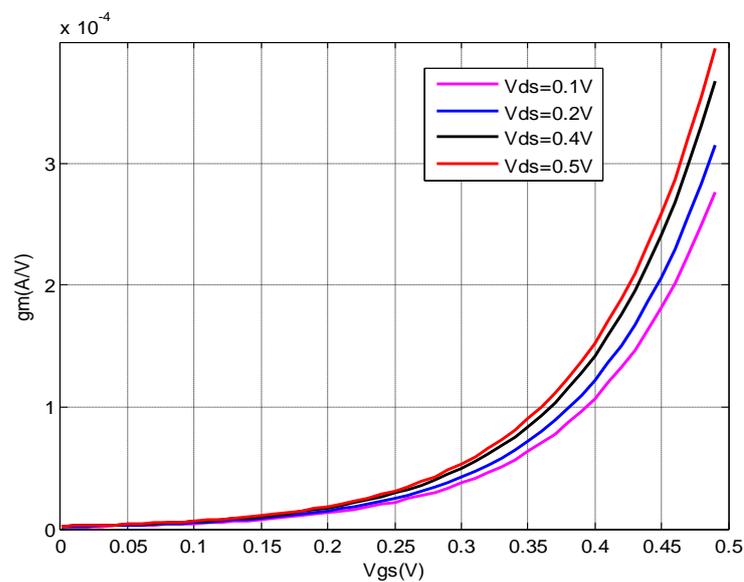


Figure.III.3: g_m en fonction V_{gs} pour V_{ds} variable.

On remarque sur la figure.III.3 la transconductance varie exponentiellement en fonction de la tension V_{gs} , qui prend $g_{mMax} = 3,8 \times 10^{-4} \text{ (A/V)}$ pour la polarisation $V_{gs} = 0,48 \text{ V}$ et $V_{ds} = 0,5 \text{ V}$.

III.4.2 Conductance g_{ds} en fonction de la polarisation V_{ds} , V_{gs} variable:

$$g_{ds} = \frac{\partial I_{ds}}{\partial V_{ds}} \text{ avec } V_{gs} = \text{constante} \quad (\text{Eq. III.13})$$

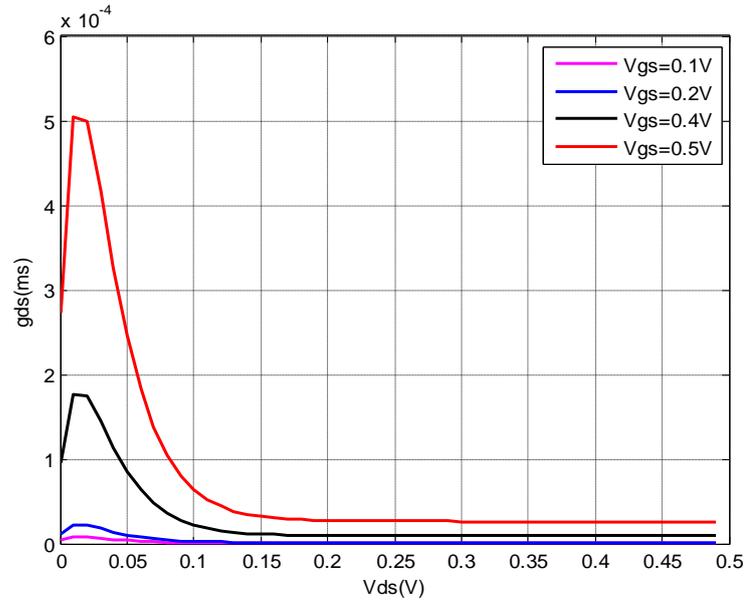


Figure.III.4: g_{ds} en fonction V_{ds} pour V_{gs} variable.

On remarque sur la figure. III.4 ci-dessus la conductance qui prend $g_{dsMax} = 5 \times 10^{-4}(\text{ms})$ pour la polarisation $V_{ds}=0.025\text{V}$ et $V_{gs} = 0.5\text{V}$. Donc la conductance du canal à ce dispositif est très élevée.

III.5 Schéma équivalent du transistor MOS-SOI-PD (petit signal):

La matrice [dispositif] est définie par les relations linéaires entre les ondes de puissance a_i et b_i ($i=1,2$ pour un quadripôle) par :

$$b_1 = S_{11}a_1 + S_{12}a_2$$

$$b_2 = S_{21}a_1 + S_{22}a_2$$

Ces relations des passages permettent de retrouver les matrices impédance [Z], admittance [Y], hybride [H] à partir des paramètres [S: Dispositif].

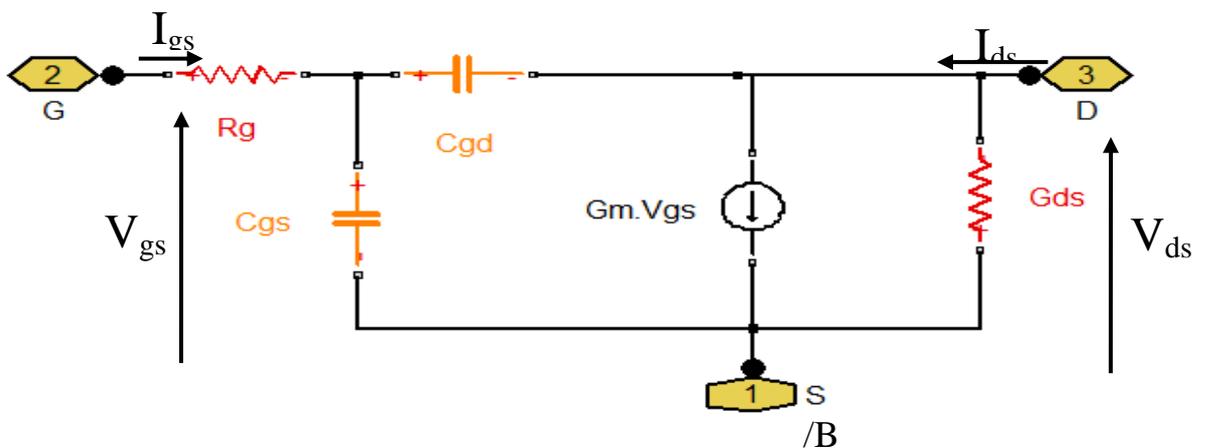


Figure.III.5 : Schéma quasi-statique MOS-SOI-PD (L' amplitude faible).

III.5.1 Mesure paramètre du dispositif (MOS-SOI-PD):

L'avantage de ce schéma équivalent est la simplicité d'extraction de ses paramètres. En effet à partir de la mesure en fréquence il est très facile montre aux paramètres électriques.

La représentation admittance [Y] est mieux appropriée pour cette extraction. Sa formule est la suivante :

$$I_{gs} = Y_{11} V_{gs} + Y_{12} V_{ds}$$

$$I_{ds} = Y_{21} V_{gs} + Y_{22} V_{ds}$$

Écrire les équations précédentes avec la matrice comme suit:

$$[\text{Les courants}] = [\text{Paramètre quadripôle}] \times [\text{Les tensions}]$$

$$\begin{pmatrix} I_{gs} \\ I_{ds} \end{pmatrix} = \begin{pmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{pmatrix} \cdot \begin{pmatrix} V_{gs} \\ V_{ds} \end{pmatrix}$$

Ainsi, après calcul des courants I_{gs} et I_{ds} du quadripôle, on obtient :

$$Y_{11} = \frac{j\omega (C_{gs} + C_{gd})}{1 + j\omega (C_{gs} + C_{gd})R_g}$$

$$Y_{12} = \frac{-j\omega C_{gd}}{1 + j\omega (C_{gs} + C_{gd})R_g}$$

$$Y_{21} = \frac{g_m - j\omega C_{gd}}{1 + j\omega (C_{gs} + C_{gd})R_g}$$

$$Y_{22} = g_{ds} + j\omega C_{gd} + \frac{j\omega C_{gd}R_g(g_m + j\omega C_{gd})}{1 + j\omega (C_{gs} + C_{gd})R_g}$$

Les éléments du schéma équivalent peuvent donc se déduire des paramètres Y Tout d'abord :

Si on considère que $\omega^2(C_{gs}+C_{gd})^2R_g^2 \ll 1$, on obtient de manière très simple :

$$R_g = \text{Re}\left(\frac{1}{Y_{11}}\right)$$

$$C_{gd} = \frac{-\text{Im}(Y_{12})}{\omega}$$

$$C_{gs} = \frac{\text{Im}(Y_{11} + Y_{12})}{\omega}$$

$$g_m = \text{Re}(Y_{21} - Y_{12})$$

$$g_{ds} = \text{Re}(Y_{22})$$

$$F_{\text{transition}} = \frac{g_m}{2\pi(C_{gs} + C_{gd})}$$

L'hypothèse $w^2 \cdot (C_{gs} + C_{gd})^2 \cdot R_g^2 \ll 1$ est équivalente à négliger la résistance de grille. Elle sous-entend également que la résistance de grille n'est pas influente pour le fonctionnement du dispositif à faible fréquence. L'impédance d'entrée du transistor est alors dominée par les capacités C_{gs} et C_{gd} .

III.5.1.1 Les capacités de grille en fonction de la charge grille:

$$C_{gs}(V_{gs}, V_{gd}) = \frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gs}} \quad V_{gd} = \text{cte} \quad (\text{Eq. III.14})$$

$$C_{gd}(V_{gs}, V_{gd}) = \frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gd}} \quad V_{gs} = \text{cte} \quad (\text{Eq. III.15})$$

La plupart des capacités des modèles petits signaux sont facilement déduits du modèle physique des transistors MOS-SOI-PD.

Sur le tableau ci-dessous, nous indiquons pour chacune des zones de fonctionnement du MOS-SOI-PD, les valeurs des capacités de terminaison en fonction de capacité d'oxyde de grille.

Les capacités	Bloquée (cutoff)	Ohmique (region lineaire)	Saturée
C_{gd}	$C_{ox} W L_d$	$C_{ox} W L_d + 1/2 W L C_{ox}$	$C_{ox} W L_d$
C_{gs}	$C_{ox} W L_d$	$C_{ox} W L_d + 1/2 W L C_{ox}$	$C_{ox} W L_d + 2/3 W L C_{ox}$

Tableau.III. 2 : Les valeurs des capacités de terminaison en fonction de capacité d'oxyde de grille.

L_d : Longueur de diffusion latérale.

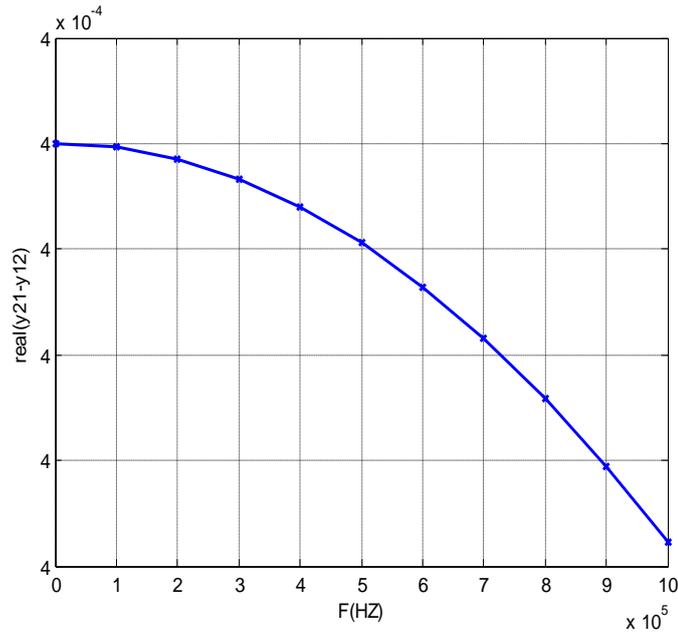


Figure.III.6 : Transconductance g_m en fonction la fréquence F.

Dans la figure. III.6 on note $F=1\text{Mhz}$, $g_m=4.05 \times 10^{-4}(\text{A/V})$ et le cas $F=0\text{MHZ}$, $g_m=4 \times 10^{-4}(\text{A/V})$.

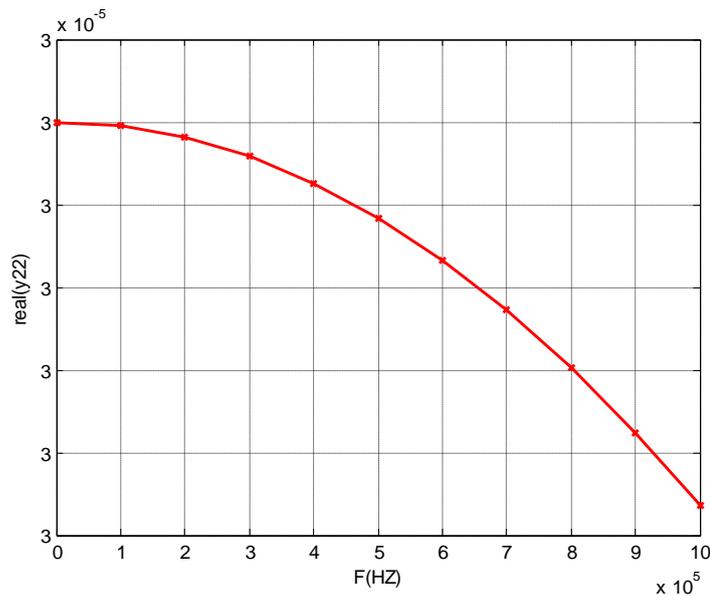


Figure.III.7 : Conductance g_{ds} en fonction la fréquence F.

Dans la figure.III.7 on remarque la conductance g_{ds} varie quadratiquement avec la fréquence F et $g_{ds}=0.3 \times 10^{-4}(\text{ms})$ avec $F=0\text{ Mhz}$.

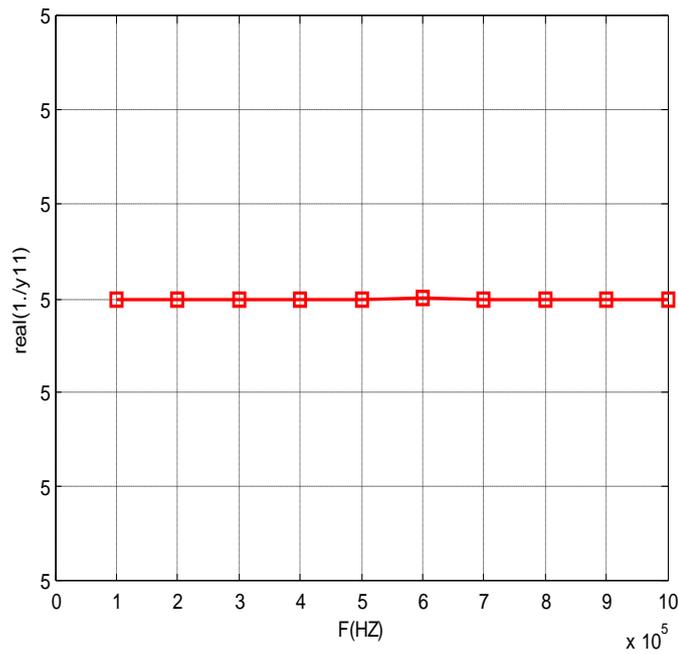


Figure.III.8 : La résistance de grille R_g en fonction de la fréquence F .

La résistance de grille constante qui la variation de la fréquence.

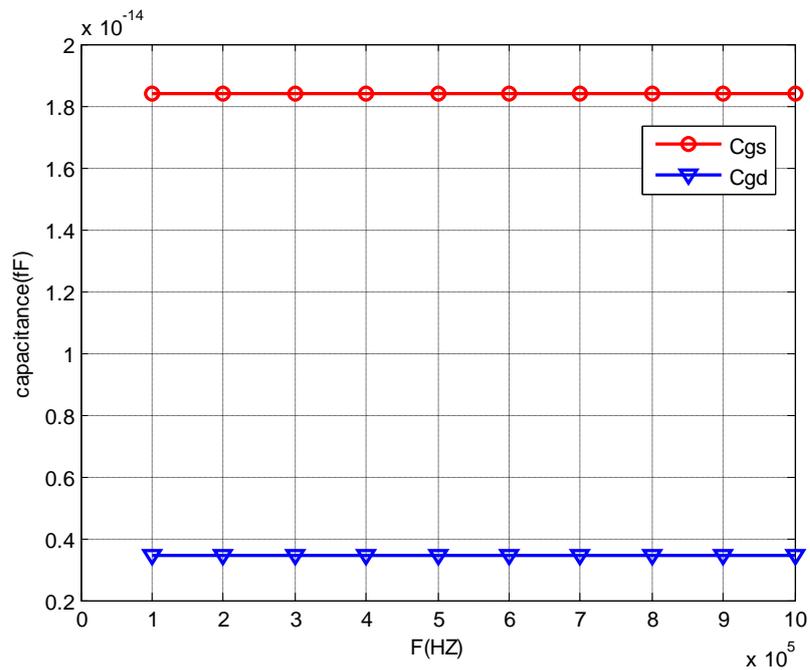


Figure.III.9 : Les capacités de grille C_{gs} , C_{gd} en fonction la fréquence F .

La fréquence varie mais les capacités restent constantes. $C_{gs}=0.0183\text{pf}$ et $C_{gd}=0.0035\text{pf}$

III.5.1.2 Imaginaire et réel des paramètres quadripôle (y11, y12, y21, y22) :

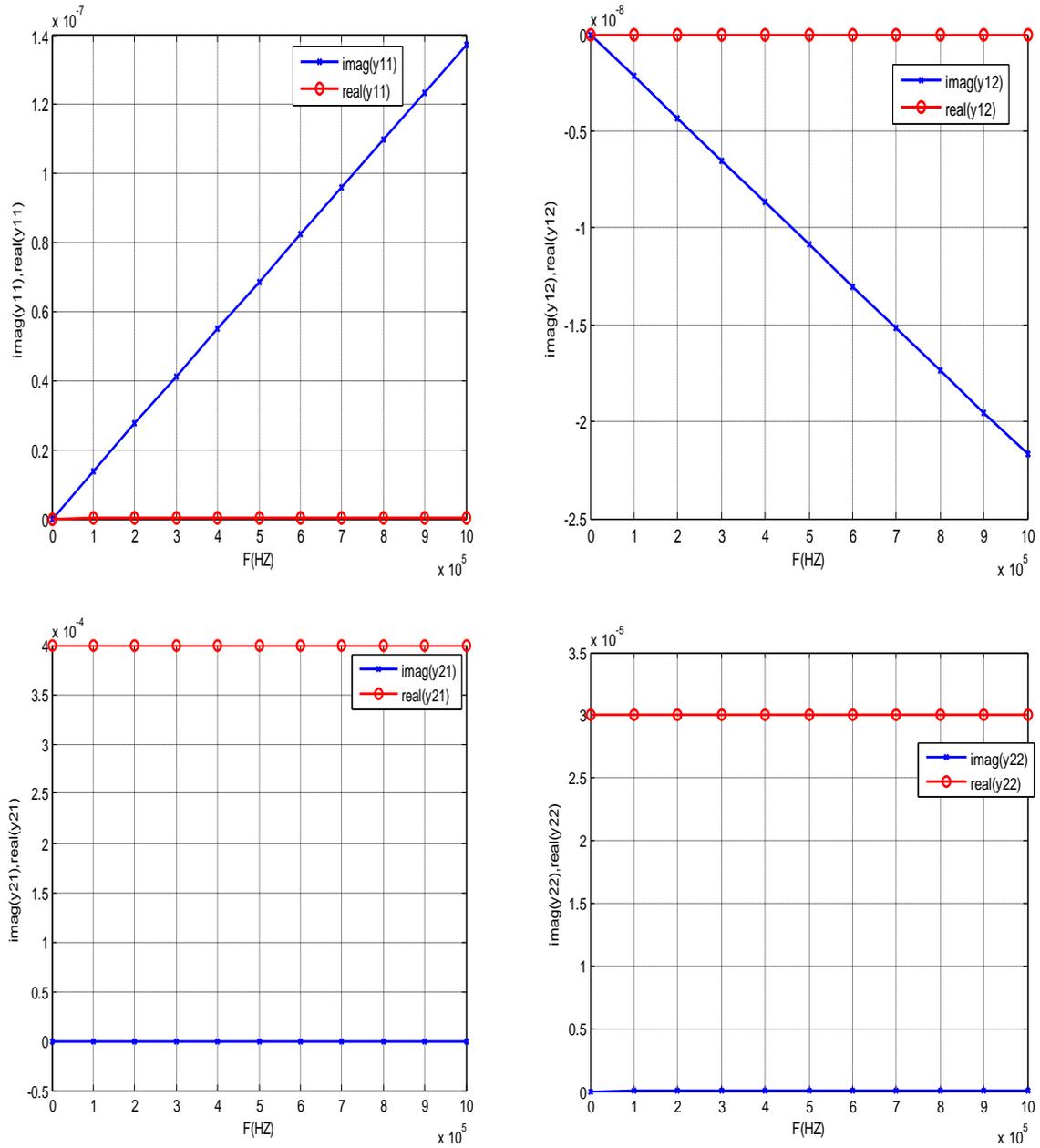


Figure.III.10: Les paramètres de schéma équivalent : y11, y12, y21, y22 (imaginaire, réel) en fonction de la fréquence F.

III.5.2 Les comportements des grandeurs g_m et g_{ds} à ce schéma électrique:

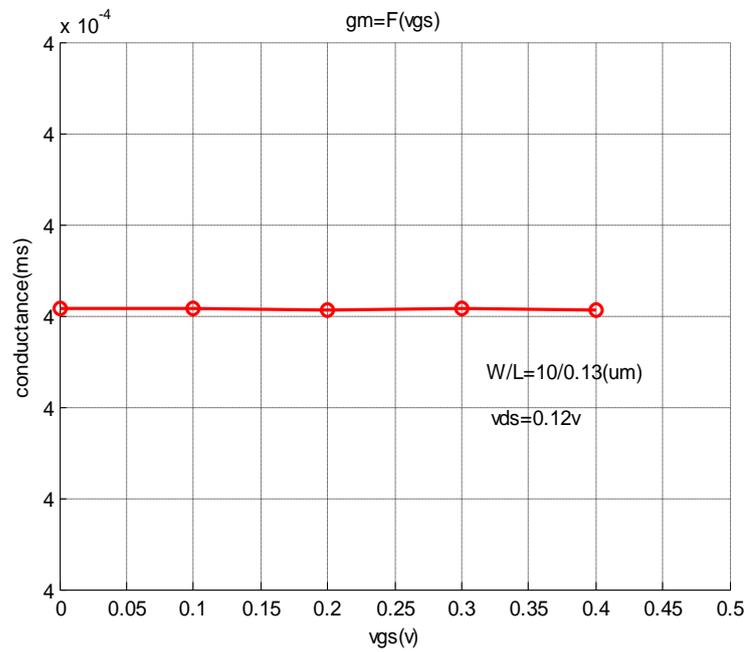


Figure.III.11: La transconductance g_m en fonction V_{gs} pour V_{gs} variable.
La transconductance constante avec la tension V_{gs} variable entre 0 à 0.4v.

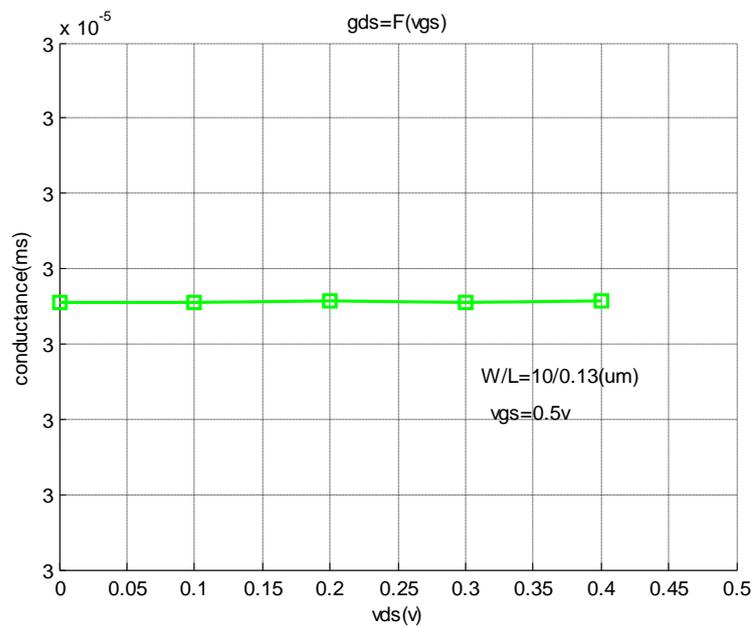


Figure.III.12: La conductance g_{ds} en fonction V_{ds} pour V_{gs} variable.
La conductance reste constante qui la tension V_{ds} variable entre 0 a 0.4v.

III.6 Comparaison des caractéristiques I_{ds} (V_{gs}) entre le modèle analytique et mesure paramètre Y avec, $V_{ds}=120\text{mv}$:

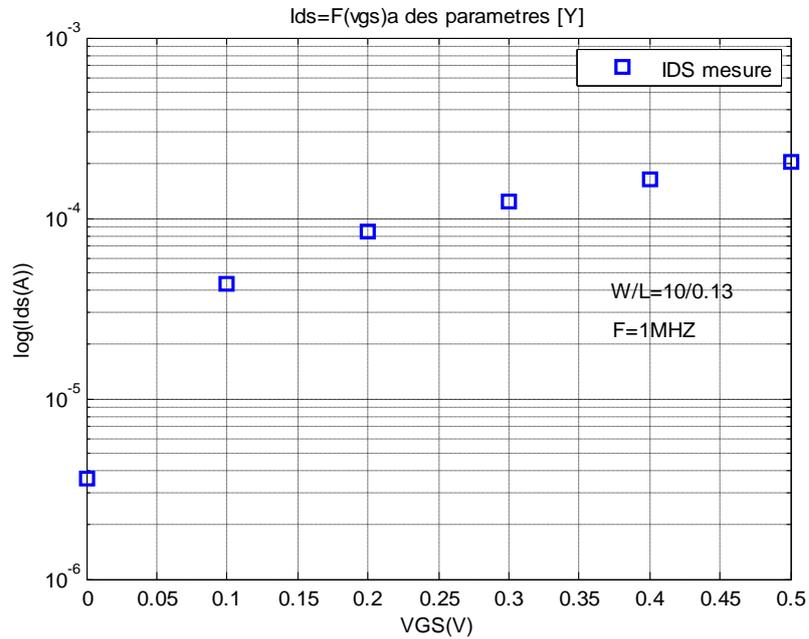


Figure.III.13 : Mesure du courant I_{ds} en fonction V_{gs} , $V_{ds}=120\text{mv}$ avec paramètre [Y].

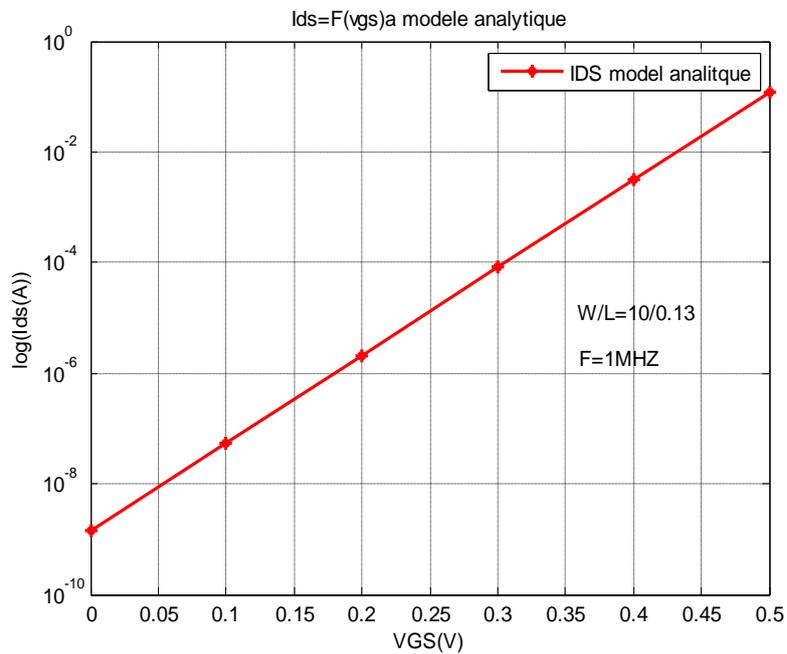


Figure.III.14 : Le courant I_{ds} en fonction V_{gs} , $V_{ds}=120\text{mv}$ avec paramètre modèle analytique.

On remarque le courant I_{ds} à les deux courbes augmente avec l'augmentation V_{gs}

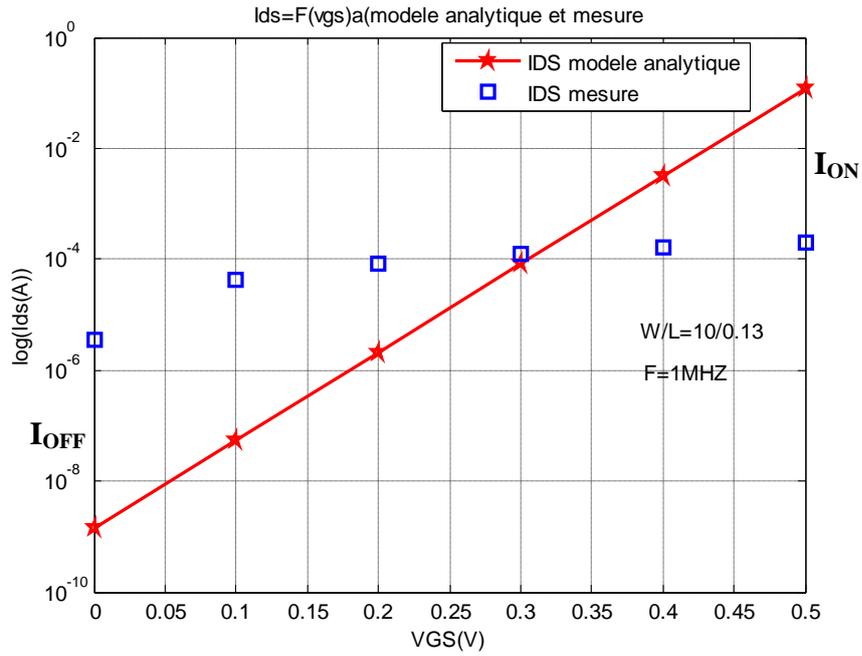


Figure.III.15 : Le courant I_{ds} en fonction V_{gs} , $V_{ds}=120\text{mv}$ avec paramètre [y] et modèle analytique.

On remarque sur la figure.III.15, décalage de modèle analytique par rapport le modèle électrique (Paramètre [y]).

III.7 Schéma équivalent du transistor MOS-bulk (petit signal):

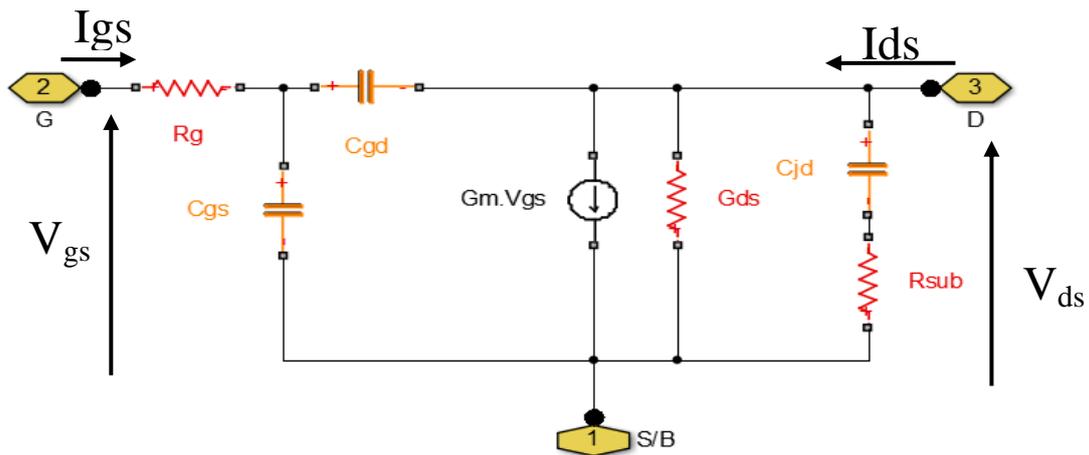


Figure.III.16 : Schéma équivalent du transistor MOS-bulk.

III.7.1 Mesure paramètre du dispositif (MOS-bulk):

$$Y_{11} = \frac{w^2(C_{gs} + C_{gd})^2 R_g + jw(C_{gs} + C_{gd})}{1 + w^2(C_{gs} + C_{gd})^2 R_g^2}$$

$$Y_{12} = \frac{w^2 C_{gd}(C_{gs} + C_{gd})^2 R_g - jw C_{gd}}{1 + w^2(C_{gs} + C_{gd})^2 R_g^2}$$

$$Y_{21} = \frac{g_m - jw C_{gd} - w^2 C_{gd}(C_{gs} + C_{gd})^2 R_g - jw g_m R_g (C_{gs} + C_{gd})}{1 + w^2(C_{gs} + C_{gd})^2 R_g^2}$$

$$Y_{22} = g_{ds} + \frac{w^2 C_{jd}^2 R_{sub} + jw C_{jd}}{1 + w^2 C_{jd}^2 R_{sub}^2} + \frac{jw C_{gd} + w^2 C_{dg}^2 R_g + jw^2 R_g^2 C_{gs} C_{dg} (C_{gs} + C_{dg})}{1 + w^2(C_{gs} + C_{gd})^2 R_g^2}$$

Les éléments du schéma équivalent peuvent donc se déduire des paramètres Y Tout d'abord :

Si on considère que $w^2.(C_{gs}+C_{gd})^2.R_g^2 \ll 1$, on obtient de manière très simple :

$$R_g = \text{Re}(Y_{11})/\text{Im}(Y_{11})^2$$

$$C_{gd} = \frac{-\text{Im}(Y_{12})}{w}$$

$$C_{gs} = \frac{\text{Im}(Y_{11})}{w} - C_{gd}$$

$$g_m = \text{Re}(Y_{21})_{w=0}$$

$$g_{ds} = \text{Re}(Y_{22})_{w=0}$$

$$\frac{(2.\pi.F)^2}{\text{Re}(Y_{22})-G_{ds}-(2\pi F)^2 c_{dg}^2 R_g} = (2.\pi.F)^2 R_{sub} + \frac{1}{c_{jd}^2 R_{sub}} \quad (\text{Eq. III.16})$$

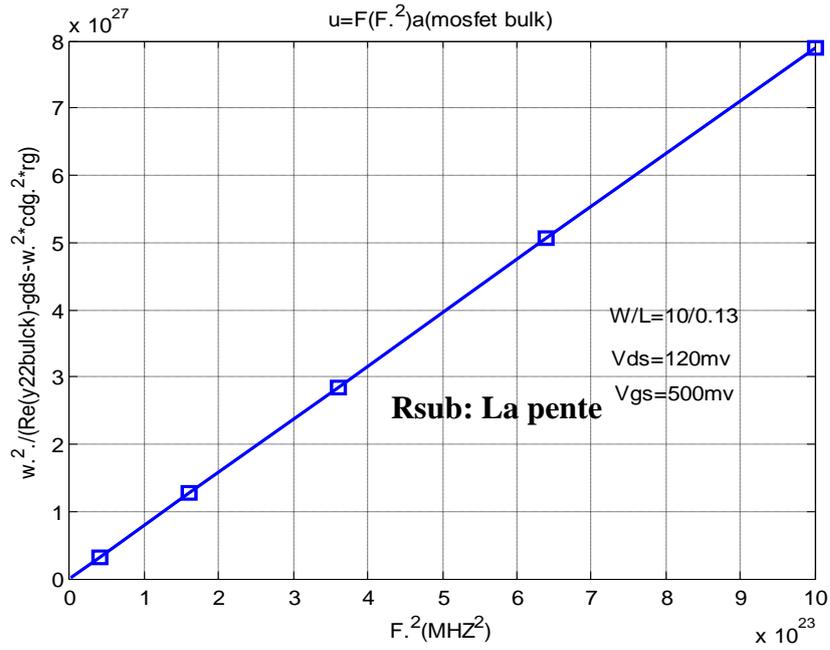


Figure.III.17 : Représente l'équation (Eq. III.16) en fonction F^2

R_{sub} : Résistance du substrat. [200Ω 8KΩ]

C_{jd} : Capacité de jonction. $\approx 8\text{PF}$.

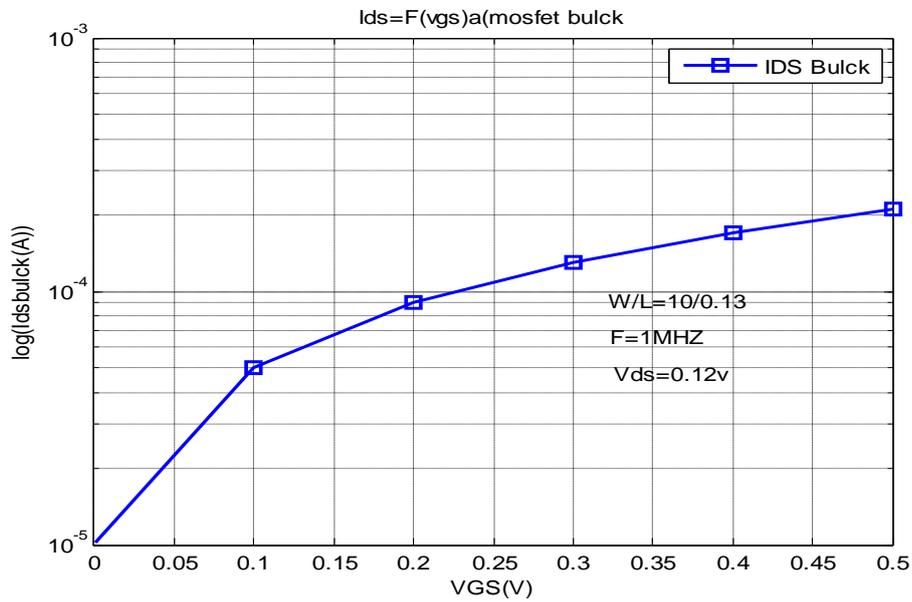


Figure.III.18 : Courant I_{ds} en fonction V_{gs} à transistor MOS-bulk.

III.8 La comparaison entre les deux modèles électriques (MOS-bulk et MOS-SOI-PD) aux niveaux de l'énergie:

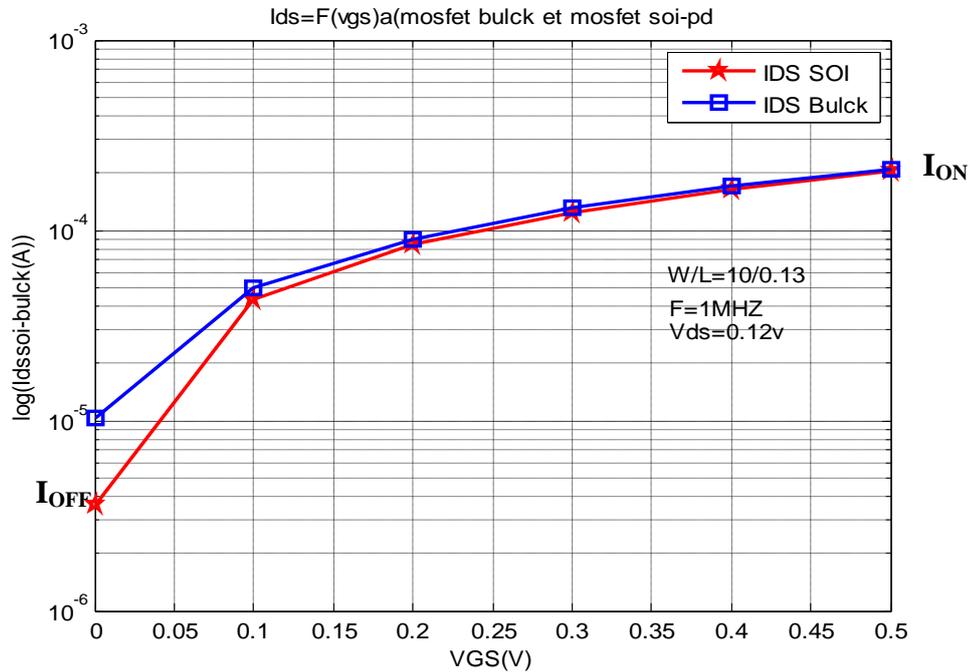


Figure.III.19 : Courant I_{ds} en fonction V_{gs} à deux transistors MOS-bulk et MOS-SOI-PD.

III.9 L'énergie dissipée à deux transistors MOS-bulk et MOS-SOI-PD :

Les transistors	$V_{dd}(V)$	F (MHZ)	I_{OFF} (A)	I_{ON} (A)	P_{stat} (w)	P_{dy} (w)	P_T (w)	Délai (s)	E (joule)
MOS-bulk	0.12	1	10^{-5}	2×10^{-4}	12×10^{-7}	2.4×10^{-7}	14.4×10^{-7}	0.127×10^{-7}	1.828×10^{-14}
MOS-SOI-PD	0.12	1	5×10^{-6}	2×10^{-4}	6×10^{-7}	2.4×10^{-7}	8.4×10^{-7}	0.0218×10^{-7}	0.183×10^{-14}

Tableau.III.3 : Représente l'énergie dissipée dans les deux transistors.

Avec: $P_{dy} = V_{dd} \cdot I_{ON}$, $P_{stat} = V_{dd} \cdot I_{OFF}$, $P_T = P_{dy} + P_{stat}$, $E = P_T \cdot \text{Délai}$

On remarque sur les figures ci-dessus que le courant I_{ds} en fonction de tension grille-source (v_{gs}) à échelle logarithmique, pour obtention le courant de saturation (I_{ON}) et le courant de fuit (I_{OFF}). On remarque aussi sur le tableau qui donne l'énergie des transistors $E_{soi} = 10^{-1} \times E_{bulk}$ et le délai MOS-SOI-PD supérieur le délai MOS-bulk (délai MOS-SOI = 0.17x délai MOS-bulk), que les deux transistors sont la même fréquence et la même alimentation. Le transistor MOS-SOI-PD a une grande performance que son homologue MOS-bulk.

Conclusion:

Le courant drain-source varie exponentiellement et linéairement en états pseudo linéaire et pseudo saturation respectivement.

Nous avons étudié un modèle physique analytique (A.Valentin) pour estimer les comportements des transistors MOS-SOI-PD ($V_{dd}=500\text{mv}$ et $V_{ds}=120\text{mv}$).

On a utilisé le schéma équivalent du transistor MOS-SOI-PD à faible fréquence pour comparer les courants déduit du modèle analytique et du modèle électrique. L'énergie dissipée par les deux transistors en technologie MOS-bulk et MOS-SOI-PD, a été comparé par leur modèle électrique équivalent.

Chapitre-IV

Introduction:

La température est généralement considérée comme étant le paramètre principal dans la conception des équipements électroniques à cause de son rapport unique avec la fiabilité du dispositif. La température peut également avoir d'autres effets sur la performance des composants semi-conducteurs et tout particulièrement sur le courant électrique.

Dans ce chapitre, les caractéristiques du modèle du transistor A.Valentian, étaient utilisé dans la simulation électrique par l'utilisation du logiciel MATLAB. Ainsi que nous relaterons les résultats de simulation qui permettent de mettre en évidence l'influence de la température sur les paramètres physique et électrique du modèle du transistor. On déterminera ses caractéristiques électriques à savoir les caractéristiques de sortie et de transfert, à savoir les caractéristiques à V_{gs} constant, et les caractéristiques à V_{ds} constant.

IV.1 Variation du courant de drain en fonction de la température:

IV.1.1 Variation $I_{ds} = f(V_{ds})$ avec $V_{gs} = cte$ pour différentes températures T:

La caractéristique pour le modèle A.Valentian et pour différentes températures est représentée dans la figure. IV.1 Ces résultats sont obtenus sous environnement MATLAB pour une température variant de -20 C à 100 C.

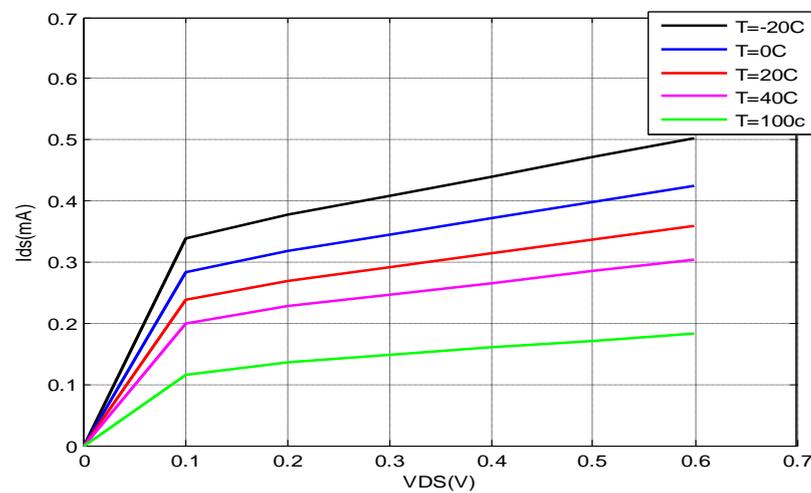


Figure. IV.1: Effet de la variation de la température sur le courant de drain

$$I_{ds} = f(V_{ds}), V_{gs} = 0.5V$$

L'augmentation de la température influe sur le champ électrique vertical dans le canal MOS-SOI-PD, on remarque sur la figure. IV.1 le courant de drain I_{ds} diminue.

IV.1.2 Variation $I_{ds} = f(V_{gs})$ avec $V_{ds}=cte$ pour différentes températures T:

La caractéristique $I_{ds} = f(V_{gs})$ pour les différentes températures est représentée dans la figure .IV.2

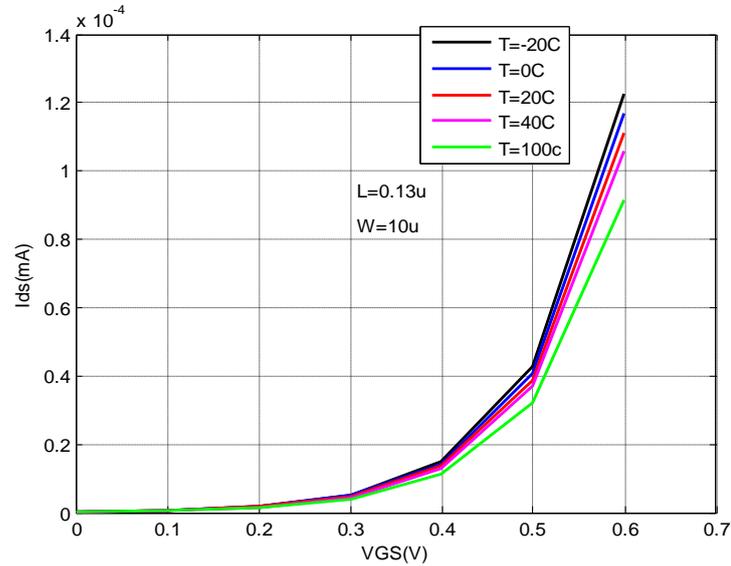


Figure. IV.2 : Variation de la caractéristique $I_{ds} = f(V_{gs})$ avec la température et $V_{ds}=0.5\text{v}$

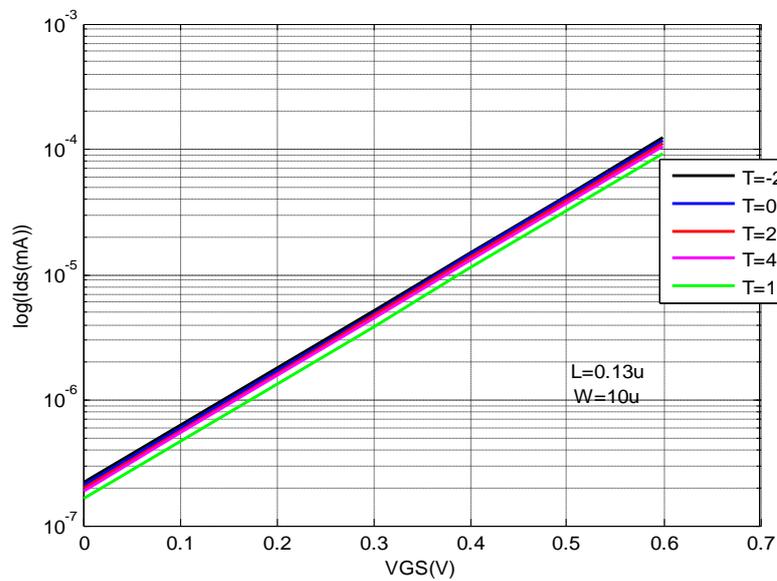


Figure .IV.3 : Effet thermique sur le courant de drain $\log(I_{ds})$.

On remarque sur les figures ci-dessus une élévation de température qui diminue le courant I_{ds} , et donc une diminution en puissance dissipée.

IV.2 Les caractéristiques électriques de modèle A.Valentain :

IV.2.1. Courant de drain $I_{ds} = f(V_{ds})$:

IV.2.1.1 Courant de drain pour différentes valeurs de V_{gs} :

Les caractéristiques du transistor $I_{ds} = f(V_{ds})$ pour différentes valeurs de V_{gs} , avec $W=10\mu\text{m}$ et $L=0.13\mu\text{m}$ sont représentés sur la figure. IV.4 ci-dessous :

$$I_{ds}(V_{ds}) = W \cdot d_0 \cdot 10^{\frac{|V_{gs}| - |V_T|}{S}} \cdot \left(1 - e^{-\frac{m \cdot V_{ds}}{V_t}}\right) \cdot (a + \lambda V_{ds}) \quad (\text{Eq. IV.1})$$

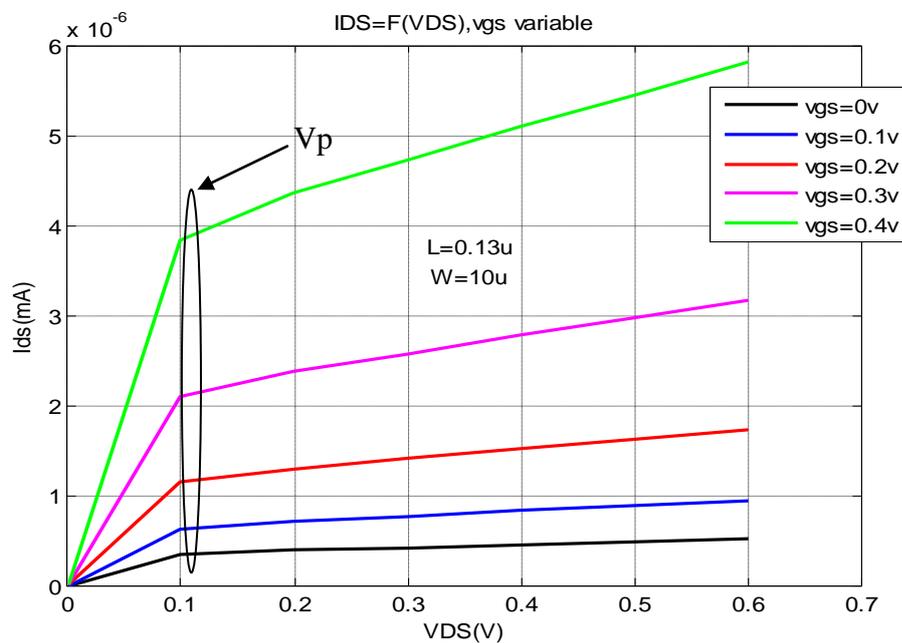


Figure. IV.4 : Courant de drain pour différentes valeurs de V_{gs} .

($V_{bs}=0\text{v}$, $V_t=0.02585\text{v}$, $d_0=10^{-7}\text{A/m}$, $S=60\text{ mv/déc}$, $m=1$, $a=1$, $\lambda = 1$).

On remarque sur la figure. IV.4 que les tensions V_{ds} et V_{gs} augmentent ce qui engendre un accroissement du courant I_{ds} et de la puissance de consommation.

$V_p=V_{sat} \approx 0.12\text{v}$ point fixe par le variable la tension V_{gs} .

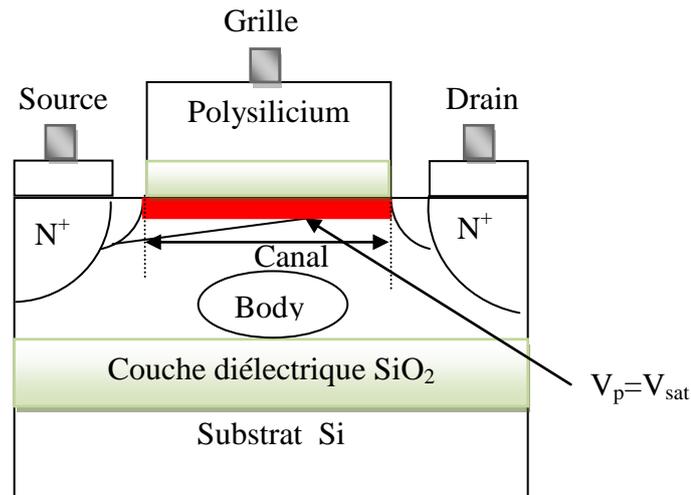


Figure. IV.5 : Le point de pincement d'inverseur MOS-SOI-PD.

- **Le point de pincement V_p :** La longueur effective égale à celle du canal conduction ($L_{eff}=C_c$).

$V_p=V_{dssat}$: Le point entre les deux régions (région linéaire et région saturée),

IV.2.1.2 Courant de drain pour différentes largeurs W du canal, $L=0.13\mu$:

L'effet de la variation de la géométrie du composant sur ses caractéristiques électriques, nous avons variés la largeur du canal puis la longueur.

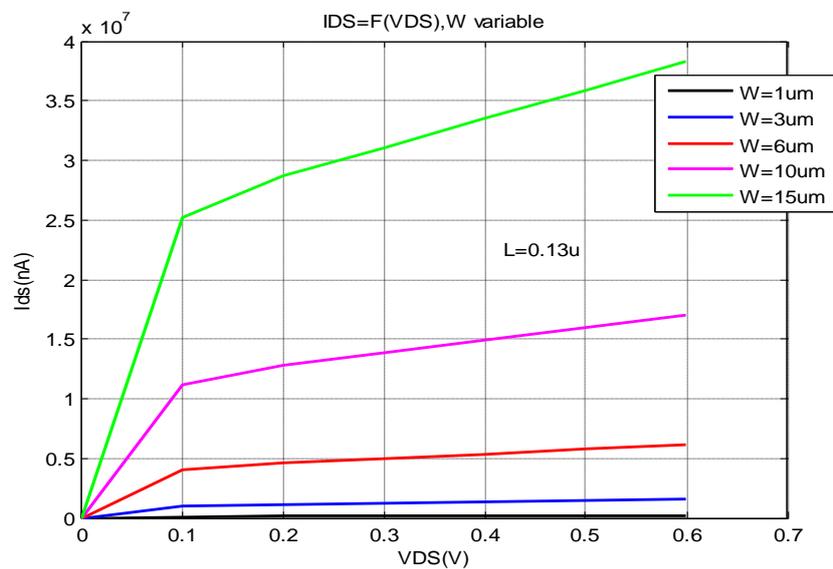


Figure. IV.6 : Courant de drain pour différentes largeurs W du canal avec $L=0.13\mu$

Pour une longueur $L=0.13\mu$, on remarque qu'en augmentant la valeur de la largeur W , le courant de drain I_{ds} augmente, ce qui est conforme avec les caractéristique du transistor MOS-SOI-PD.

IV.2.1.3 Courant de drain pour différentes longueurs du canal L, W=10u :

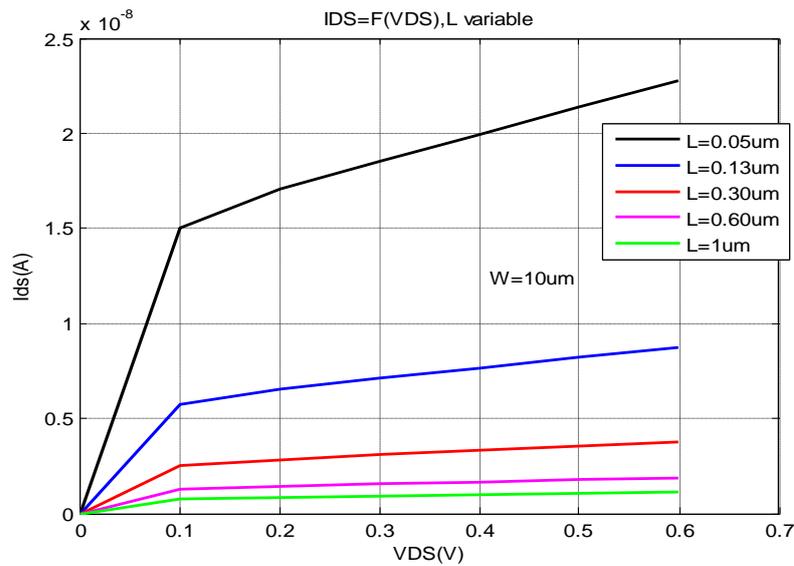


Figure .IV.7 : Courant de drain pour différentes longueurs du canal L, avec une largeur W=10um

Pour une largeur W=10um, on remarque qu'en augmentant la valeur de la longueur L du canal la valeur du courant I_{ds} diminue

On remarque que la géométrie du composant semi-conducteur à savoir le rapport W/L est d'une importance primordiale sur le calcul du courant qui circule au niveau du canal.

IV.2.2. Courant de drain $I_{ds} = f(V_{gs})$:

IV.2.2.1 Courant de drain pour différentes valeurs de V_{ds} :

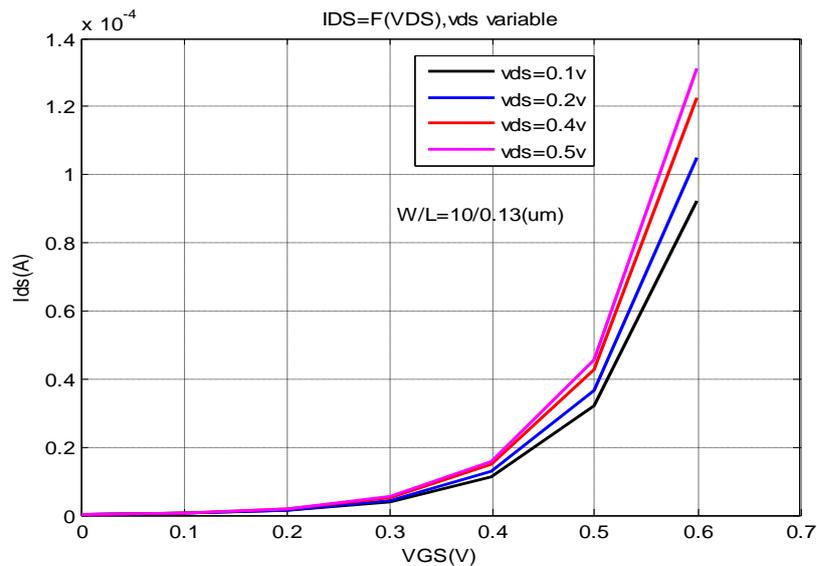


Figure. IV.8 : Courant de drain pour différentes valeurs de V_{ds} .

De cette caractéristique, on peut connaître le seuil de fonctionnement de notre transistor. On remarque aussi que le courant de drain augmente avec l'augmentation de la tension de polarisation V_{ds} .

IV.2.2.2 Courant de drain pour différentes largeurs W du canal, $L=0.13\mu$:

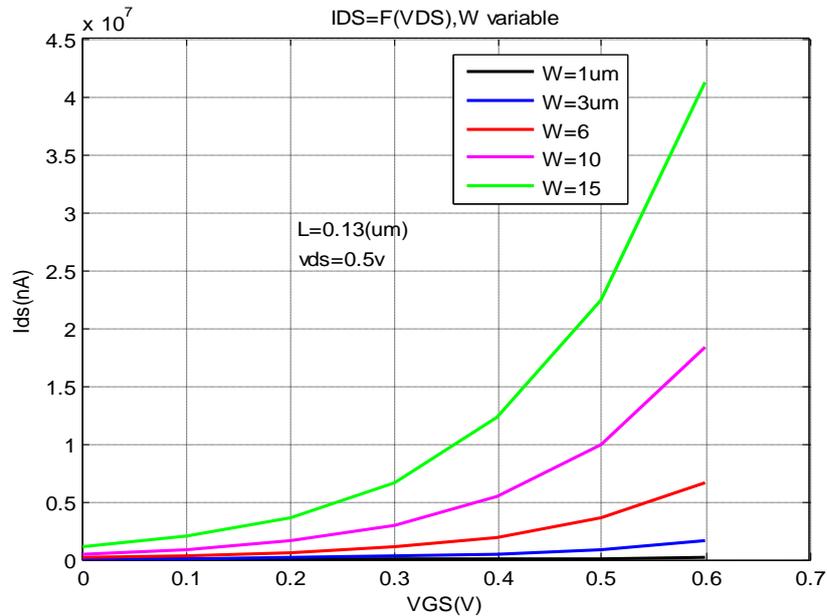


Figure .IV.9 : Courant de drain pour différentes largeurs W et pour une longueur $L=0.13\mu$.

IV.2.2.3 Tension de seuil V_T :

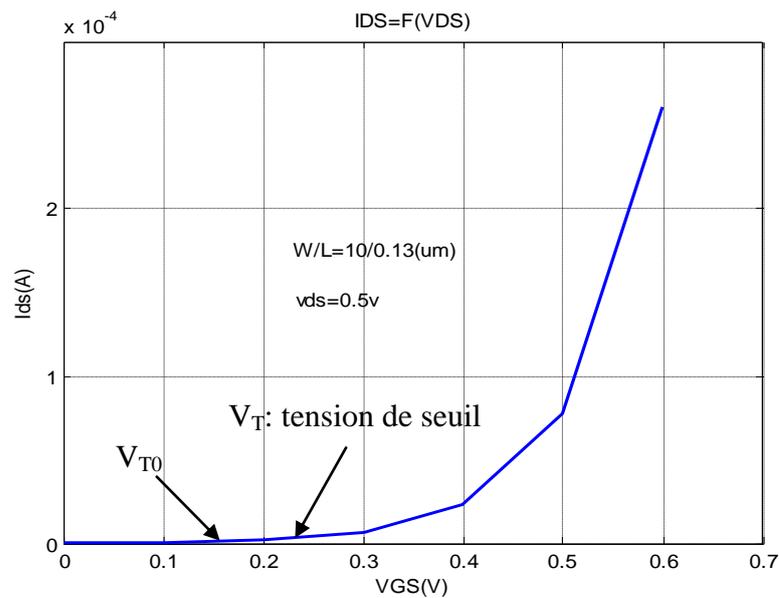


Figure. IV.10: Tension de seuil V_T .

La tension de seuil du transistor étudié la caractéristique déterminée sur le tracé de la figure .IV.10. Cette tension de seuil est égale à $V_{T0}=160\text{mv}$ (le blocage n'est pas parfait) il existe un courant faible mais non nul. Ce courant n'est pas un courant de conduction comme à l'état passant mais un courant diffusif (I_0), d'où la dépendance exponentielle de la caractéristique $I_{ds}=f(V_{gs})$ sous le seuil V_T . En plus, la tension V_{gs0} fournie pour une largeur de grille W_0 , crée un champ électrique vertical faible au niveau du canal qui construit le courant I_0 .

IV.2.3. Variation des courants I_{ON} et I_{OFF} avec la température :

Il est à noter que les courants de fuite varient avec la température. Il existe divers courants de fuite dans une structure MOS-SOI-PD. On s'intéresse en ce qui nous concerne aux courants I_{ON} et I_{OFF} .

On définit les courants par :

$$I_{ON} = I_{ds} \text{ à } V_{ds}=V_{dd}, V_{gs}=V_{dd}, V_{bs}=0\text{v.}$$

$$I_{OFF}=I_{ds} \text{ à } V_{ds}=V_{dd}, V_{gs}=0, V_{bs}=0\text{v.}$$

Nous mettons en évidence la variation des courants de fuite avec la température, on se propose de déterminer ces courants pour deux température soit $T=-40^\circ\text{C}$ et $T=100^\circ\text{C}$.

Les résultats de simulation sont donnés dans ce qui suit :

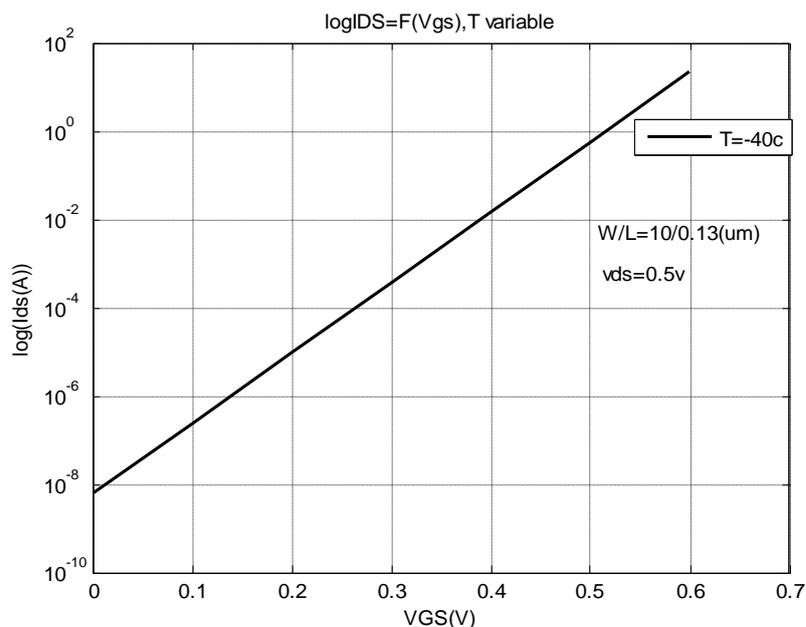


Figure. IV.11: Courants de fuite à $T=-40^\circ\text{C}$

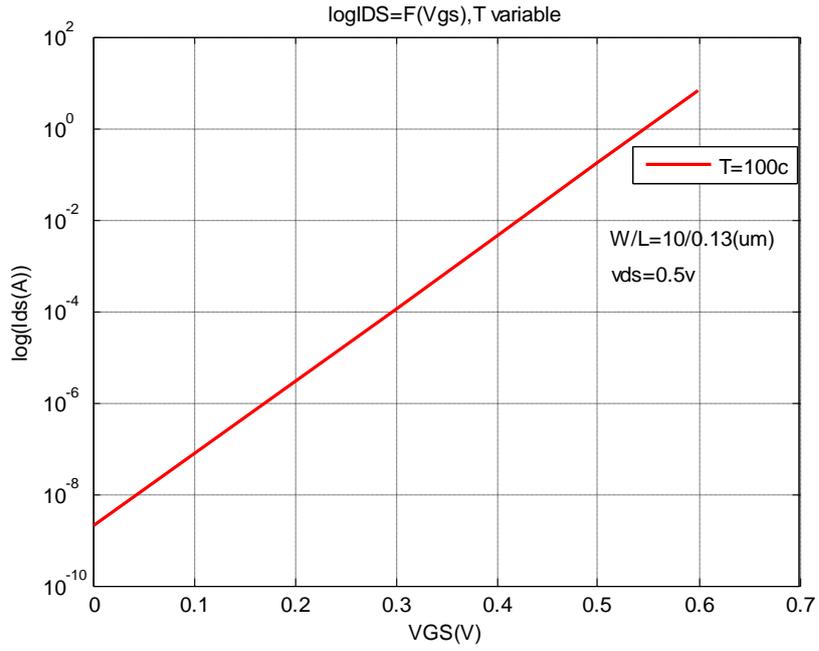


Figure IV.12 : Courants de fuite à $T=100^{\circ}C$.

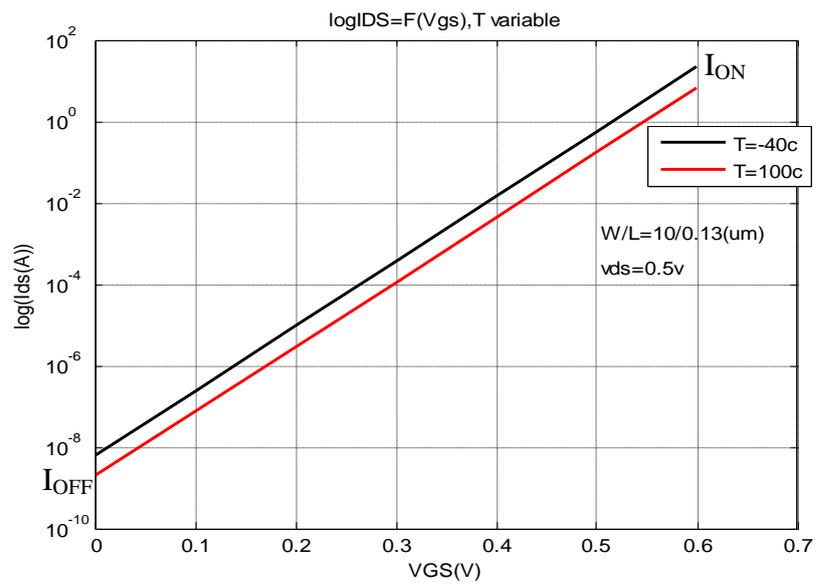


Figure IV.13 : Variation des courants de fuite avec $T=-40^{\circ}C$ et $T=-100^{\circ}C$

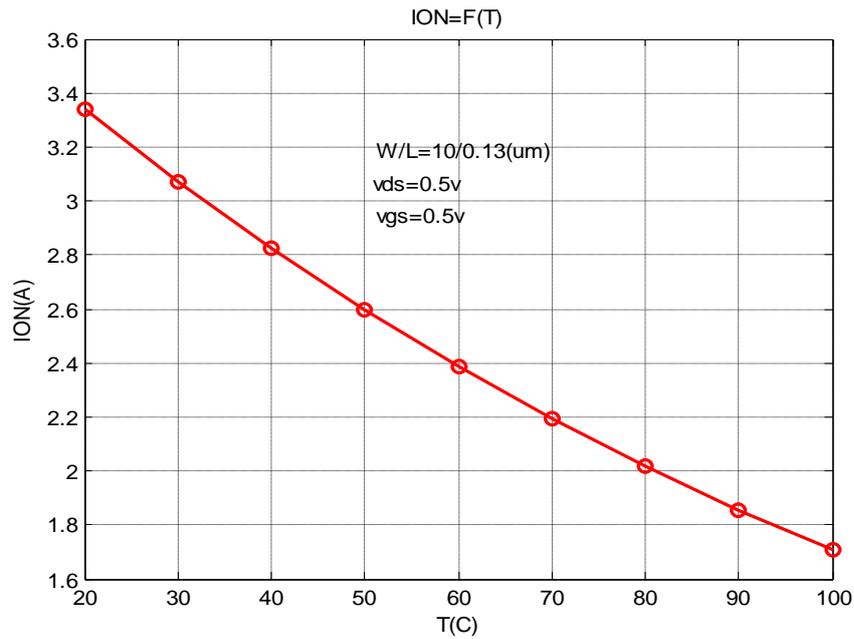


Figure IV.14 : Variation du courant de saturation (I_{ON}) avec la température

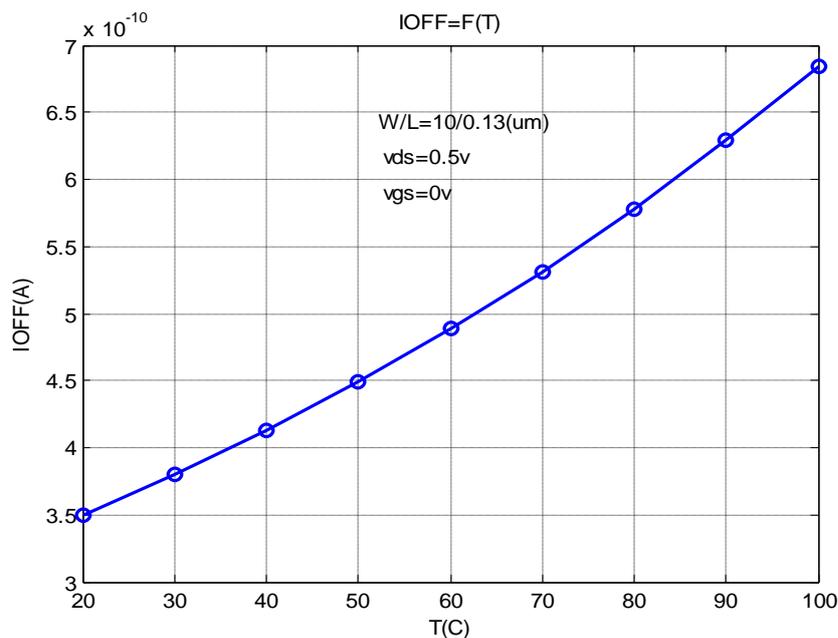


Figure IV.15: Variation du courant de fuite (I_{OFF}) avec la température

On remarque sur les figures ci-dessus que le courant de fuite augmente et le courant de commutation diminue avec la température (ce qui était prévisible). L'élévation de la température joue ce rôle important sur l'énergie dissipée, d'après les résultats de simulation voir le tableau ci-dessous qui représente les puissances totales du transistor MOS-SOI-PD en fonction de la température.

Température	T=20°C	T=100°C
I_{ON}	3.35×10^{-3}	1.7×10^{-3}
I_{OFF}	3.5×10^{-10}	6.65×10^{-10}
Puissance dynamique(w) $P_{dy} = I_{ON} \cdot V_{dd}$	1.675×10^{-3}	0.85×10^{-3}
Puissance statique(w) $P_{st} = I_{OFF} \cdot V_{dd}$	1.75×10^{-10}	3.325×10^{-10}
Puissance totale(w) $P_T = P_{dy} + P_{st}$	1.675×10^{-3}	0.85×10^{-3}

Tableau. IV.1 : Représente la puissance totale du transistor MOS-SOI-PD.

On remarque sur le tableau. IV.1 la puissance dynamique diminue et la puissance statique augmente. Les deux puissances dépendant de la température élevée.

IV.3 Application à un inverseur:

Le modèle ayant des expressions de courant de drain relativement simples, nous allons pouvoir l'utiliser de manière à décrire le comportement d'un inverseur en très basse tension. Dans un premier temps, étudier l'inverseur dans le domaine statique, c'est-à-dire sa caractéristique de transfert, puis nous allons poursuivre l'analyse, en dynamique, et décrire les équations du temps de propagation d'un inverseur en fonction de la charge et la décharge de la capacité.

IV.3.1 Analyse statique :

La figure. IV.17 montre la caractéristique de transfert d'un inverseur pour des transistors NMOS-SOI-PD et PMOS-SOI-PD.

Le point intéressant d'une caractéristique de transfert est la tension de seuil logique V_M , définie comme étant la tension en entrée pour laquelle la tension en sortie vaut $V_{dd}/2$.

L'expression de V_M peut être obtenue en égalisant les courants des transistors NMOS-SOI-PD et PMOS-SOI-PD et en résolvant la tension V_{gs} des transistors (voir l'annexe 3).

TS : Transistor de signal N MOS-SOI-PD

TC : Transistor de charge P MOS-SOI-PD

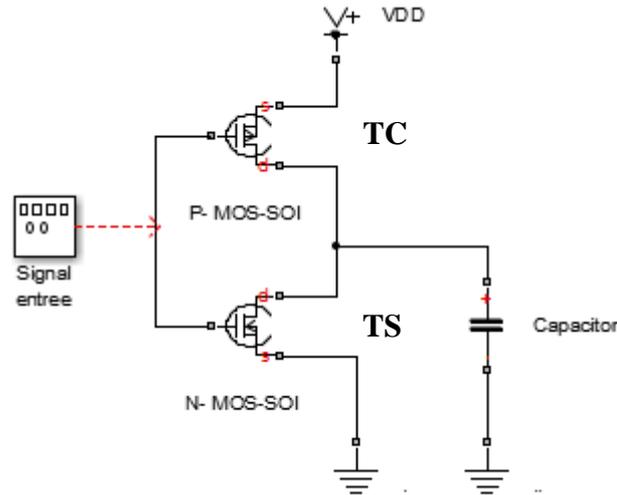


Figure. IV.16 : L'inverseur CMOS-SOI-PD.

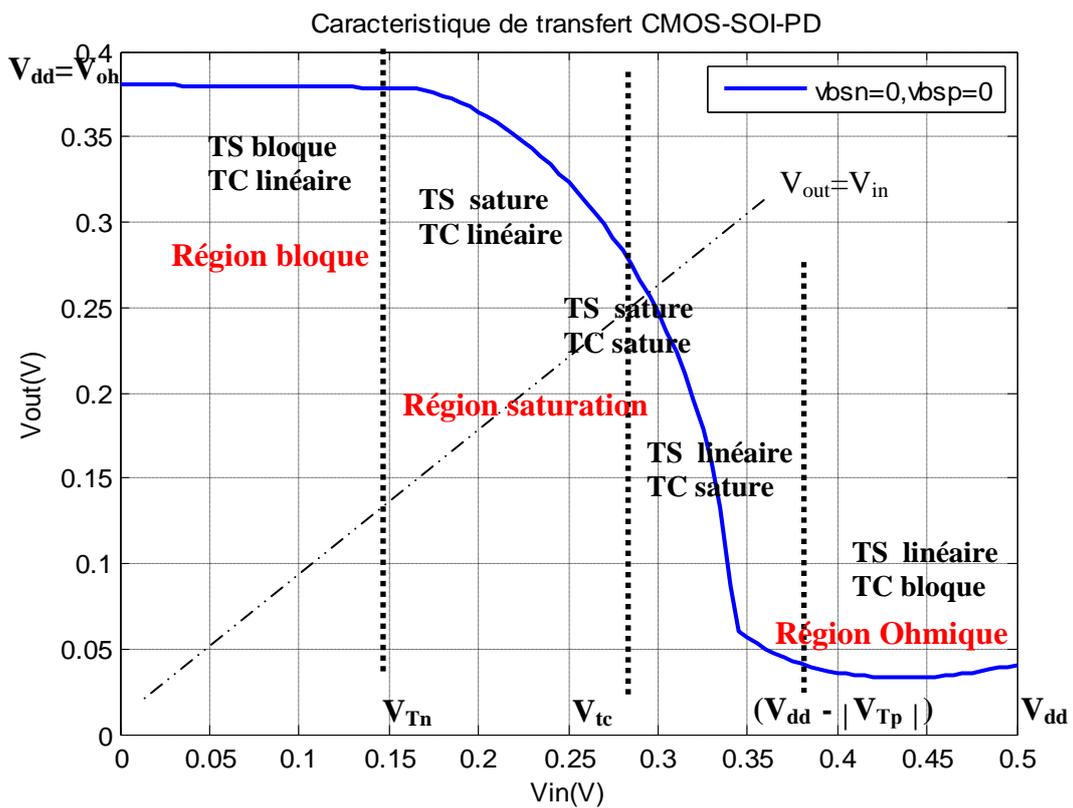


Figure. IV.17: Caractéristique de transfert des inverseurs NMOS et PMOS avec logiciel MATLAB.

On remarque sur la figure. IV.17 que l'inverseur CMOS-SOI accès à cinq(05) étapes et à trois régions pour le fonctionnement (donné à signal de sortie). Voir le tableau. IV.2

TS bloqué TC linéaire	$V_{in} < V_{Tn}$	$V_{out} = V_{dd}$
TS saturé TC linéaire	$V_{Tn} \leq V_{in} \leq V_{tc}$	$V_{out} = v_{in} - v_{Tp} + \sqrt{(v_{in} - v_{dd} - v_{Tp})^2 - \frac{\beta_n}{\beta_p} (v_{in} - v_{Tn})^2}$
TS saturé TC saturé	$V_{in} = V_{tc}$	$V_{out} = V_{in} = V_{tc} \approx 0.28$
TS linéaire TC saturé	$V_{tc} < V_{in} < V_{dd} - V_{Tp} $	$V_{out} = v_{in} - v_{Tn} + \sqrt{(v_{in} - v_{Tn})^2 - \frac{\beta_p}{\beta_n} (v_{in} - v_{dd} - v_{Tp})^2}$
TS linéaire TC bloqué	$V_{in} > V_{dd} - V_{Tp} $	$V_{out} = 0$

Tableau. IV.2 : Représente l'étape de fonctionnement inverseur CMOS-SOI-PD en cas statique.

Avec :

$$V_{tc} = \frac{V_{dd} + V_{Tp} + V_{Tn} \sqrt{\frac{\beta_n}{\beta_p}}}{1 + \sqrt{\frac{\beta_n}{\beta_p}}}, \text{ (tension de seuil l'inverseur CMOS-SOI-PD)}$$

$$\beta_n = \mu_n \cdot C_{ox} \frac{W_n}{L}$$

$$\beta_p = \mu_p \cdot C_{ox} \frac{W_p}{L}$$

La tension de seuil logique est déterminée par l'expression suivante:

$$V_M = S_{np} \left[\frac{V_{Tn}}{S_n} + \frac{V_{dd} - |V_{Tp}|}{S_p} \right] + \log_{10} \left(\frac{d_{op}}{d_{on}} \cdot \frac{a + \lambda_p \frac{V_{dd}}{2}}{a + \lambda_n \frac{V_{dd}}{2}} \cdot \frac{W_p}{W_n} \right) \quad (\text{Eq. IV.2})$$

Où les indices n et p correspondent aux transistors NMOS-SOI-PD et PMOS-SOI-PD respectivement. On peut alors calculer la tension de seuil logique en fonction de la tension V_{bs} des transistors.

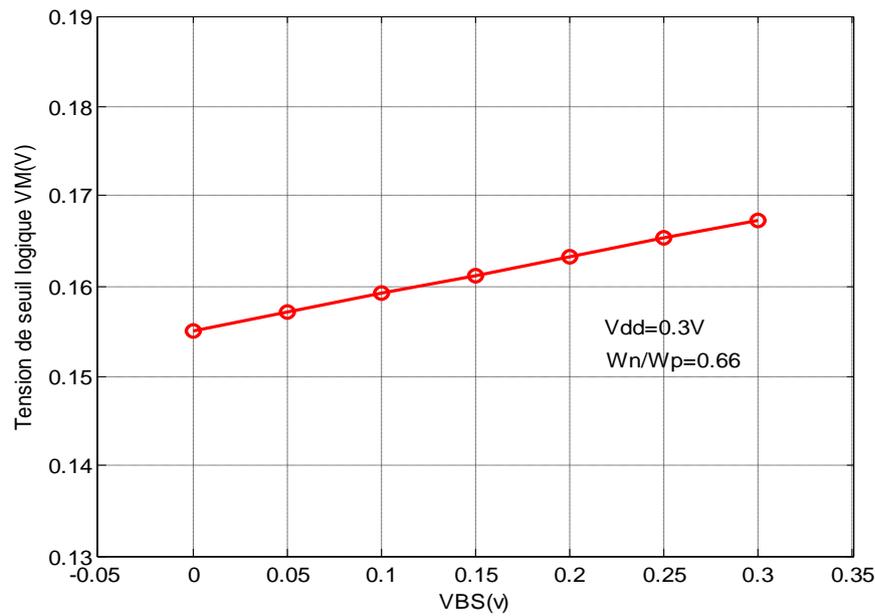


Figure. IV.18: La tension de seuil logique V_M en fonction de la tension V_{bs} (les courants de saturation à deux transistors CMOS-SOI-PD égale),

On décèle sur la figure ci-dessus que la tension de seuil logique V_M augmente avec de la tension V_{bs} par ce que la tension body-source dépend de la tension de seuil comme signalé sur l'équation (Eq. III.8).

IV.3.2 Analyse dynamique :

Implémentation le CMOS-SOI-PD sur le logiciel MATLAB, partie simulink comme vue la figure. IV.19 ci-dessous.

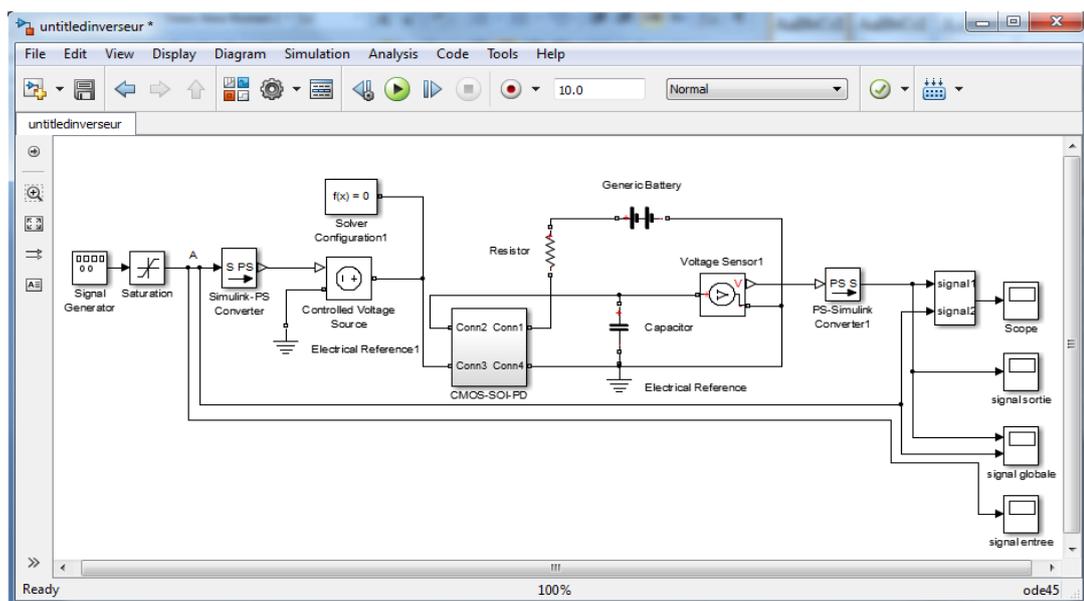


Figure. IV.19 : Implémentation inverseur CMOS-SOI-PD sur MATLAB.

IV.3.2.1 Le temps de descenté:

Le temps de descente est nécessaire pour la décharge de la capacité C_L à travers le transistor à canal N (NMOS-SOI-PD) qui correspond au $V_{in}=V_{oh}=V_{dd}$. Il est donné par la relation suivant (voir l'annexe 4):

$$t_d = \frac{C_{tot}}{I_{SS_n}} \left[\frac{1}{\lambda_n \cdot \left(1 - e^{\frac{-V_{satn}}{vt}}\right)} \cdot \log\left(\frac{a + \lambda_n \cdot V_{dd}}{a}\right) \right] \quad (\text{Eq. IV. 3})$$

IV.3.2.2 Le temps de monté:

Le temps de monté est nécessaire pour la charge de la capacité C_L à travers le transistor à canal P (PMOS-SOI-PD) qui correspond au $V_{in}=V_{ol}=0V$. Il est donné par la relation suivant (voir l'annexe 5):

$$t_m = \frac{C_{tot}}{I_{SS_p}} \left[\frac{1}{\lambda_p \cdot \left(1 - e^{\frac{V_{satp}}{vt}}\right)} \cdot \log\left(\frac{a}{a + \lambda_p \cdot V_{dd}}\right) \right]. \quad (\text{Eq. IV. 4})$$

IV.3.2.3 Le temps de propagation :

Le temps de propagation du signal à travers une porte fondamentale, note t_{pd} c'est le temps qui s'écoule entre le moment où un ordre est appliqué aux entrées à l'instant où la décision est disponible à la sortie. Il se mesure généralement en nanoseconde (ns).

Le temps de propagation inverseur CMOS-SOI-PD est donné par la formule suivant:

$$t_{Pd} = \frac{1}{2} [t_{PHL} + t_{PLH}] \quad (\text{Eq. IV.5})$$

Dans cette partie, nous avons étudié le temps de propagation d'un inverseur, t_{pHL} et t_{pLH} , qui est le temps séparant le passage de la tension d'entrée par $V_{dd}/2$ du passage de la sortie par $V_{dd}/2$, respectivement dans le cas de la décharge et de la charge de la capacité de sortie.

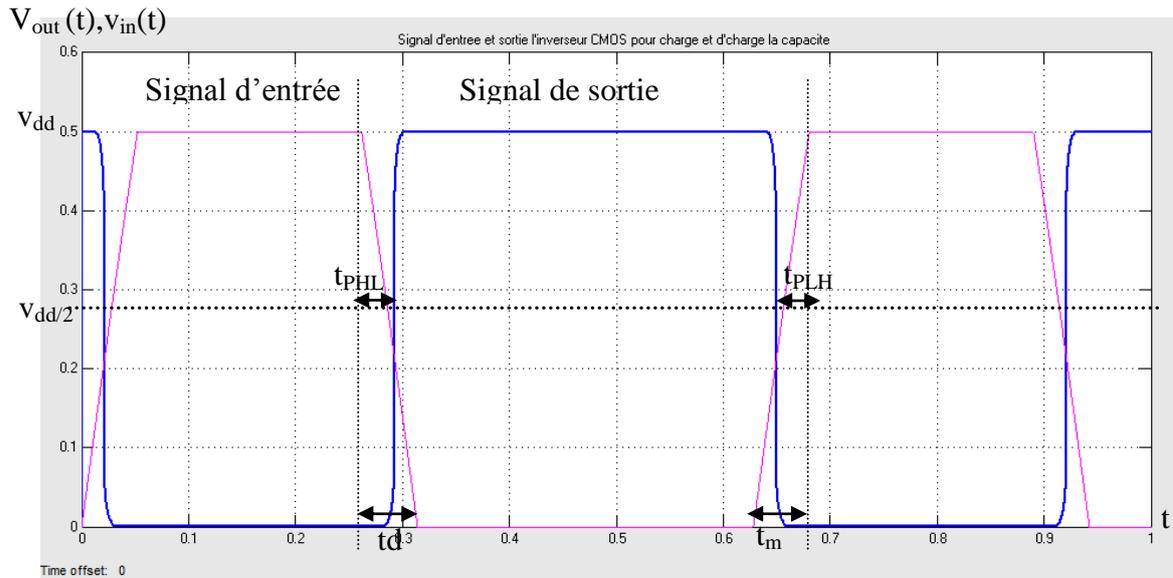


Figure. IV.20 : Signal d'entrée et de sortie CMOS-SOI-PD pour charger et décharger $C=10\text{pf}$.

Le temps de propagation d'un inverseur dépendant de la pente du signal en entrée. Dans le cas de décharge de la capacité de sortie, le transistor PMOS-SOI-PD peut être considéré bloqué lors de la transition tandis que le transistor NMOS-SOI-PD est saturé. D'après l'annexe 2, on obtient le résultat suivant :

$$t_{pHL} = \frac{C_{tot}}{I_{SSn}} \left[\frac{1}{\lambda_n \cdot \left(1 - e^{-\frac{-V_{satn}}{vt}}\right)} \cdot \log \left(\frac{a + \lambda_n \cdot V_{dd}}{a + \lambda_n \cdot V_{dd}/2} \right) \right] \quad (\text{Eq. IV. 6})$$

Dans le cas de la charge de la sortie, le raisonnement est similaire : c'est le transistor NMOS qui est considéré bloqué tandis que le PMOS-SOI-PD est saturé. D'après l'annexe 5, on obtient le résultat suivant :

$$t_{pLH} = \frac{C_{tot}}{I_{SSp}} \left[\frac{1}{\lambda_p \cdot \left(1 - e^{-\frac{V_{satp}}{Vt}}\right)} \cdot \log \left(\frac{a + \lambda_p \cdot V_{dd}/2}{a + \lambda_p \cdot V_{dd}} \right) \right] \quad (\text{Eq. IV. 7})$$

Dans (Eq. IV. 6) et (Eq. IV. 7), la capacité de sortie C_{tot} est une constante :

La capacité de grille est relativement constante puisque, le canal d'inversion n'étant jamais créé, on a, toujours, en série la capacité d'oxyde de grille et la capacité de déplétion. On peut donc, au premier ordre, faire l'approximation que la capacité C_{tot} est constante.

La comparaison entre (Eq. IV. 6) et (Eq. IV. 7) avec de simulateur MATLAB est donnée par la Figure. IV.21.

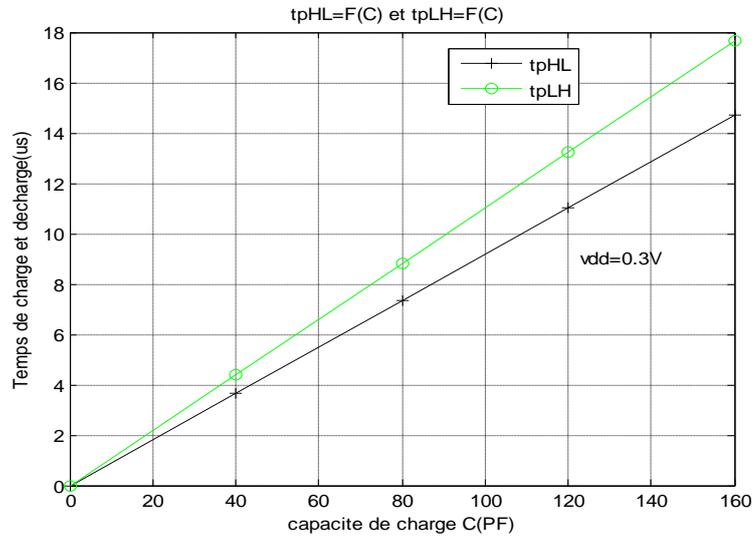


Figure. IV.21: Temps de charge et de décharge de la capacité d'un inverseur.

La figure. IV.21 On remarque que le temps propagation tp_{LH} (moment de charge de la capacité) est supérieur au temps de propagation tp_{HL} (moment de décharge de la capacité), $C=10\text{pf}$ ($tp_{HL} \approx tp_{LH}$) mais $C \geq 12\text{pf}$ ($tp_{HL} < tp_{LH}$).

- Temps de propagation d'un inverseur en fonction de la tension alimentation V_{dd} :

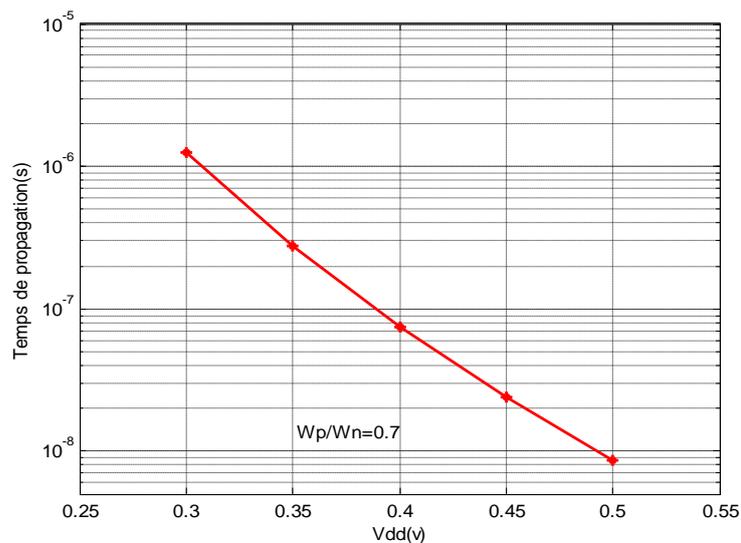


Figure. IV.22: Temps de propagation MOS-SOI-PD en fonction de la tension d'alimentation V_{dd} .

On remarque sur la figure. IV.22 le temps de propagation diminue et que la tension d'alimentation V_{dd} augmente. Le temps de réponse rapide. $V_{dd}=0.5v$ à $t_p=10^{-8}s = 10ns$.

Conclusion:

Le rapport W/L est d'une importance primordiale pour le calcul du courant I_{ds} qui circule au niveau du canal transistor MOS-SOI-PD. On peut conclure que la variation des différents paramètres du transistor en fonction de la température à savoir la mobilité des porteurs de charge, la tension de seuil et différents potentiels V_{gs} et V_{ds} conduisent inexorablement à la variation des caractéristiques électriques principales du modèle.

L'élévation de la température à un effet néfaste conduisant généralement au vieillissement des dispositifs (réduisant la durée de vie des transistors).

Conclusion générale:

Ce mémoire sur l'étude des circuits électroniques fonctionnant à très basse tension, et en technologie MOS-SOI-PD de nœud 130nm.

Les effets physiques liés à la technologie MOS-SOI-PD sont:

- Dans un premier temps nous avons étudié les effets d'auto-échauffement de transistor MOS-SOI-PD dans la simulation numérique. On a démontré les variations électriques dépendantes de la température telle que la mobilité des porteurs de charge, la tension de seuil et l'influence de l'épaisseur de l'oxyde enterré et la largeur du transistor sur ce l'effet.

- Deuxième effets liés au potentiel body flottant, tel que les effets KINK qui montrent l'importance sur le comportement du transistor. On a montrée l'influence de la miniaturisation du semi-conducteur au niveau du canal du transistor sur les performances électrique du dispositif.

On a calculé le rapport des courants I_{ON}/I_{OFF} par le modèle analytique et le modèle électrique respectivement. Les différents paramètres du modèle électrique utilisé sont : une alimentation $V_{dd}=500\text{mv}$ et une tension drain-source $V_{ds}=120\text{mv}$ à la fréquence de 1Mhz

L'énergie dissipée par les technologies MOS-bulk et MOS-SOI-PD été calculé par les deux modèles électriques petits signaux. Mes résultats aboutissent à la relation entre les énergies dissipée $E_{soi}=10^{-1} \times E_{bulk}$.

La simulation avec le modèle numérique A.Valentian pour l'estimation des comportements du modèle analytique avec les grandeurs transconductance (g_m) et la conductance (g_{ds}), qui donne respectivement une résistance d'accès de grille élevé et une bonne conductance au niveau du canal.

On a implanté le schéma électrique pour voir les temps de propagations de charge et de décharge de la capacité de l'inverseur CMOS-SOI-PD.

La variation des différents paramètres du transistor sont en fonction de la température conduisant inexorablement à la variation des caractéristiques électriques principales du modèle.

L'élévation de la température entraine un effet néfaste direct sur la fiabilité du dispositif.

Annexe 1 :

Calcul de Q_{dep} la densité de la charge de la zone désertée vaut $= -q \cdot N_a$ et l'équation de poisson permet d'écrire :

$$\frac{d\varepsilon(y)}{dy} = -q \frac{N_a}{\varepsilon_{si}}$$

$$\varepsilon(y) = -q \frac{N_a}{\varepsilon_{si}} (y - y_d)$$

Où $X_t = Y_d$ est l'épaisseur de la zone désertée.

On déduit l'expression du potentiel :

$$\Psi(y) = -\frac{qN_a}{2 \cdot \varepsilon_{si}} (y - y_d)^2$$

En surface on a donc :

$$\varepsilon_s = -\frac{qN_a}{\varepsilon_{si}} (y_d)^2$$

$$\Psi_s = -\frac{qN_a}{2 \cdot \varepsilon_{si}} (y_d)^2$$

Si l'on tient compte du fait qu'en inversion forte : on a

$$\Psi_s = \varphi_C - V_{bs} + 2 \cdot \varphi_F$$

Et que Y_d est maximal il vient :

$$Y_{d\text{max}} = \sqrt{\frac{2 \cdot \varepsilon_{si}}{qN_a} (\varphi_C - V_{bs} + 2 \cdot \varphi_F)}$$

La charge de la zone désertée est alors $Q_{\text{dep}} = -q \cdot N_a \cdot Y_{d\text{max}}$, et devient :

$$Q_{\text{dep}} = \sqrt{2 \cdot q \cdot N_a \cdot \varepsilon_0 \cdot \varepsilon_{si} \cdot (\Psi_s - V_{bs})}$$

Annexe 2 :**Paramètres du modèle pour les transistors MOS-SOI-PD flottants et à prises**

Cette annexe donne les paramètres du modèle A. Siligaris pour les transistors NMOS- SOI-PD à 130nm de type flottant et à prises.

-Transistor NMOS-SOI-PD 130nm à prise substrat:

Paramètres de la source de courant I_{ds} :

I_{pk}	V_{pk}	P_1	P_2	P_3	α_1	α_2	λ_1	λ_2	λ_3	K_0	K_1	K_2	K_3	V_T
16.3	0.32	1.19	1.04	-0.73	1.93	2.78	0.12	0.16	0.14	-3.34	48.2	-14.6	5.95	0.258

-Transistor NMOS-SOI-PD à 130nm à substrat flottant :

Paramètres de la source de courant I_{ds} :

I_{pk}	V_{pk}	P_1	P_2	P_3	α_1	α_2	λ_1	λ_2	λ_3	K_0	K_1	K_2	K_3	V_T
25.45	0.37	1.83	1.71	-1.55	1.91	3.59	0.14	0.12	0.10	3.22	6.85	9.45	-0.98	0.35

Paramètres de la source de courant I_{kink} :

I_{ks}	a_1	b	c
$2.8e^{-3}$	5.77	0.55	-0.37

Annexe 3 : Calcul de la tension de seuil logique

La tension de seuil logique est la tension présente en entrée pour laquelle la sortie à $V_{dd}/2$.

La tension drain-source V_{ds} des transistors NMOS-SOI-PD et PMOS-SOI-PD étant supérieure à la tension de saturation sous le seuil qui définie dans la figure. IV.18, ils sont tous les deux dans la région de saturation : On peut alors négliger l'exponentielle dans l'expression de leur courant de drain.

La tension de seuil logique est obtenue en égalisant les courants des transistors :

$$W_n \cdot d_{on} \cdot 10^{\frac{V_M - V_{Tn}}{S_n}} \cdot \left(a + \lambda_n \frac{V_{dd}}{2} \right) = W_p \cdot d_{op} \cdot 10^{\frac{V_{dd} - V_M - |V_{Tp}|}{S_p}} \cdot \left(a + \lambda_p \frac{V_{dd}}{2} \right)$$

On obtient alors :

$$V_M = \frac{S_n \cdot S_p}{S_n + S_p} \left[\frac{V_{Tn}}{S_n} + \frac{V_{dd} - |V_{Tp}|}{S_p} \right] + \log_{10} \left(\frac{d_{op}}{d_{on}} \cdot \frac{a + \lambda_p \frac{V_{dd}}{2}}{a + \lambda_n \frac{V_{dd}}{2}} \cdot \frac{W_p}{W_n} \right)$$

Annexe 4 : Calcul du temps de propagation tp_{HL} et le temps descente t_d

On considère ici le cas de la décharge de la capacité de sortie. Puisque le signal d'entrée varie rapidement, les effets du transistor PMOS-SOI-PD peuvent être négligés car celui-ci se trouve dans un état bloqué. Le temps de propagation est défini comme étant le temps séparant les transitions de l'entrée et de la sortie par $V_{dd}/2$, il faut donc intégrer entre V_{dd} et $V_{dd}/2$ comme l'équation suivant:

$$I_{ds}(t, V_{OUT}) = C_{tot} \cdot \frac{dV_{OUT}}{dt}$$

Le transistor NMOS-SOI-PD se trouvant dans l'état saturé, l'expression de son courant de drain est la suivant:

$$I_{ds} = I_{SSn} \cdot \left(1 - e^{-\frac{V_{dsatn}}{V_t}}\right) \cdot (a + \lambda_n V_{out})$$

$$tp_{HL} = C_{tot} \int_{V_{dd}}^{0.5 \cdot V_{dd}} \frac{dV_{out}}{I_D(V_{out})}$$

$$tp_{HL} = C_{tot} \int_{V_{dd}}^{0.5 \cdot V_{dd}} \frac{dV_{out}}{I_{SSn} \left(1 - e^{-\frac{V_{dsatn}}{V_t}}\right) (a + \lambda_n V_{out})}$$

Le temps de propagation vaut donc :

$$tp_{HL} = \frac{C_{tot}}{I_{SSn}} \left[\frac{1}{\lambda_n \cdot \left(1 - e^{-\frac{V_{dsatn}}{V_t}}\right)} \cdot \log \left(\frac{a + \lambda_n \cdot V_{dd}}{a + \lambda_n \cdot V_{dd}/2} \right) \right]$$

$$t_d = C_{tot} \int_{V_{dd}}^0 \frac{dV_{out}}{I_{SSn} \left(1 - e^{-\frac{V_{dsatn}}{V_t}}\right) (a + \lambda_n V_{out})}$$

Le temps de descente vaut donc :

$$t_d = \frac{C_{tot}}{I_{SSn}} \left[\frac{1}{\lambda_n \cdot \left(1 - e^{-\frac{V_{dsatn}}{V_t}}\right)} \cdot \log \left(\frac{a + \lambda_n \cdot V_{dd}}{a} \right) \right]$$

Annexe 5 : Calcul du temps de propagation t_{pLH} et le temps monte t_m

De la même manière que précédemment, il faut intégrer le courant du transistor PMOS. L'expression du temps de propagation est donnée par :

$$t_{pLH} = C_{tot} \int_{-V_{dd}}^{-0.5 \cdot V_{dd}} \frac{dV_{out}}{I_D(V_{out})}$$

$$t_{pLH} = C_{tot} \int_{-V_{dd}}^{-0.5 \cdot V_{dd}} \frac{dV_{out}}{I_{SSp} \left(1 - e^{-\frac{V_{dsatp}}{V_t}}\right) (a + \lambda_p V_{out})}$$

On obtient alors :

$$t_{pLH} = \frac{C_{tot}}{I_{SSp}} \left[\frac{1}{\lambda_p \cdot \left(1 - e^{-\frac{V_{dsatp}}{V_t}}\right)} \cdot \log \left(\frac{a + \lambda_p \cdot V_{dd}/2}{a + \lambda_p \cdot V_{dd}} \right) \right]$$

$$t_m = C_{tot} \int_0^{V_{dd}} \frac{dV_{out}}{I_{SSp} \left(1 - e^{-\frac{V_{dsatp}}{V_t}}\right) (a + \lambda_p V_{out})}$$

Alors que :

$$t_m = \frac{C_{tot}}{I_{SSp}} \left[\frac{1}{\lambda_p \cdot \left(1 - e^{-\frac{V_{dsatp}}{V_t}}\right)} \cdot \log \left(\frac{a}{a + \lambda_p \cdot V_{dd}} \right) \right]$$

Liste des constantes, symboles et glossaires

Les glossaires :

- BOX : D'oxyde enterré (Buried Oxide).
- CMOS: Transistors complémentaires (Complementary Metal Oxide Semiconductor).
- DIBL : Abaissement de la barrière de potentiel induit par le drain (Drain Induced Barrier Lowering).
- DTMOS: Transistor à tension de seuil dynamique (Dynamic Threshold MOS).
- FB: Transistor à body flottant (Floating Body).
- SOI-TD: Technologie Entièrement Désertée SOI (Fully Depleted).
- SOI-PD: Technologie Partiellement Désertée SOI (Partially Depleted).
- MOS: Transistor (Metal Oxide Semiconductor).
- SOI: Silicium sur Isolant (Silicon-On-Insulator).

Les paramètres électriques des transistors MOS-SOI-PD:

- V_{dd} : Tension d'alimentation.
- V_T : Tension de seuil (Threshold Voltage).
- V_{T0} : Tension de seuil sans polarisation.
- V_{ds} : Tension drain-source.
- V_{gs} : Tension grille-source.
- V_{bs} : Tension body-source.
- V_t : Potentiel thermique, $K_B.T / q$, 0.02585V.
- V_{dssat} : Tension Drain/Source à partir de laquelle a lieu la saturation du courant, $V_{dsat}=V_p$.
- V_{FB} : Tension de bandes plates.
- Ψ_{st} : Le potentiel de surface lorsque la profondeur de désertion atteint X_t .
- ϕ_F : Potentiel de Fermi.
- ϕ_C : Potentiel de canal.
- Ψ_S : Le potentiel de surface.
- μ_n : La mobilité des électrons, unité $cm^2.v^{-1}.s^{-1}$.
- μ_p : La mobilité des trous.
- I_{ds} : Courant du drain-source.
- I_{OFF} : Courant de drain I_{ds} à $V_{ds}= V_{dd}$ et $V_{gs}= 0 V$.

Liste des constantes, symboles et glossaires

I_{ON} :	Courant de drain I_{ds} à $V_{ds}=V_{gs}=V_{dd}$
I_{SS_n} :	Courant sous le seuil du transistor N MOS, $W_n \cdot d_0 \cdot 10^{\frac{ V_{gsn} - V_{Tn} }{S_n}}$
I_{SS_p} :	Courant sous le seuil du transistor P MOS.
K_B	Constante Boltzmann $1,38 \cdot 10^{-23}$ k/J.
q :	Charge électron, $1,6 \cdot 10^{-19}$ C.
ϵ_0 :	Permittivité diélectrique du vide, $\epsilon_0 = 8,85 \cdot 10^{-12}$ F/m.
ϵ_{Si} :	Permittivité diélectrique du silicium, $\epsilon_{Si} = 11,8$ F/m..
ϵ_{ox} :	Permittivité diélectrique de l'oxyde.
ϵ_r :	Permittivité relative, $\epsilon_{SiO_2} = 3,9$ F/m.
C_{gs} :	Capacité de la grille-source.
C_{gd} :	Capacité de la grille-drain.
C_{dep} :	Capacité de déplétion.
C_{des} :	Capacité désertion.
C_{ox} :	Capacité d'oxyde par unité de surface, $C_{ox} = \epsilon_{ox}/t_{ox}$, unité F/m ² .
C_{box} :	Capacité d'oxyde entrée. Unité F/m ² .
g_{ds} :	Conductance de drain.
g_m :	Transconductance de sortie.
d_0 :	Référence de densité de courant $d_0 = I_0/W_0$ mesurée à $V_{gs} = V_{T0}$
S :	Pente sous le seuil mv/déc.
γ :	Le coefficient de polarisation du substrat.
λ :	Paramètre du modulation la longueur de canal, cas saturation, V ⁻¹ .
a :	Paramètre d'ajustement (fixe la variation de tension de seuil).
S_{11} :	Le coefficient de réflexion en entrée.
S_{12} :	Le coefficient de transmission dans le sens inverse.
S_{21} :	Le coefficient de transmission dans le sens directe.
S_{22} :	Le coefficient de réflexion en sortie.

L'effet KINK

I_{ks}, I_{pk} :	Paramètre d'intensité (A/V ²).
$V_{pk}, K_0, K_1, K_2, K_3, P_1, P_2, P_3$:	Les paramètres d'effet du transistor MOS-SOI-PD.
$\lambda_1, \lambda_2, \lambda_3$:	Paramètres du régime saturation (V ⁻¹ , V ⁻² , V ⁻³).
α_1, α_2 :	Paramètres du régime linéaire (V ⁻¹ , V ⁻²).

Liste des constantes, symboles et glossaires

- a_1 : Paramètre de pente du KINK (V^{-1}).
 b : Paramètre de seuil du KINK ($V^{3/2}$).
 c : Paramètre de saturation du KINK (V^{-1}).

Les paramètres géométriques et technologiques des transistors MOS-SOI-PD:

- W : Largeur du transistor, 10^4 nm.
 W_d : La profondeur de désertion.
 L : Longueur de la grille d'un transistor, 130nm.
 L_d : Longueur de la diffusion latérale, 20nm.
 L_{eff} : Longueur effective du canal.
 T : Température, (ambiante 300°k).
 t_{ox} : Epaisseur d'oxyde, 2nm.
 t_{box} : Epaisseur d'oxyde d'entrée, 400nm.
 t_{si} : Epaisseur de la zone active de silicium, 160nm.
 N_a : Concentration de dopants de type accepteur d'électrons.
 N_B : Dopage du substrat.
 N_d : Concentration de dopants de type donneur d'électrons.
 X_t : La profondeur du dopage, doping depth.
 X_{dm} : La profondeur de la charge de déplétion.

Le paramètre du silicium:

- N_i : Concentration intrinsèque de porteurs libres, $1,05 \cdot 10^{10} \text{é}/\text{cm}^{-3}$.

Bibliographie

- [I.1] **C. Pavageau**, "Etude d'un étage de réception large bande en technologie MMIC AsGa". Rapport de stage de DEA de l'Université de Rennes I.
- [I.2] **J.-P. Raskin, R. Gillon, J. Chen, D. Vanhoenacker-Janvier, and J.-P. Colinge**, "Accurate SOI MOSFET Characterization at Microwave Frequencies for Device Performance Optimization and Analog Modeling" .IEEE Transactions on Electron Devices, vol. 45, pp. 1017-1025, 1998.
- [I.3] **A. Bracale**, "Caractérisation et modélisation des transistors MOS sur substrat SOI pour des applications micro-ondes". Thèse de l'Université Pierre et Marie Curie, Paris VI, spécialité électronique, 2001.
- [I.4] **F. Danneville and G. Dambrine**, "Noise Modelling and Measurement Techniques in Deep Submicron Silicon on Insulator Devices". In Noise and Fluctuations Control in Electronics Devices, American Scientific Publishers, 2002, pp. 355-366.
- [I.5] **D. Lederer, D. Flandres, and J.-P. Raskin**, "High frequency degradation of bodycontacted PD SOI MOSFET output conductance". Institute of Physics (IOP) electronic journals, vol. 20, 2005.
- [I.6] **X. Marchal**, "Modélisation de composants actifs pour la CAO de circuits intégrés analogiques. Paramétrage et implantation de modèles dans le simulateur SPICE-PAC". Thèse de l'Ecole Nationale Supérieure des Télécommunications, 1992.
- [I.7] **D. Lovelace, J. Costa, and N. Camilleri**, "Extract Small Signal Models for MOSFETs". Microwaves and RF, pp. 119, 1994.
- [I.8] **Jean-pierre colinge**. Silicon-on- Insulator technology: Materials to VLSI, 2nd Edition Kluwer Academic publishers.1997.

- [I.9] **Y. Cheng**, "Flicker Noise Characterization and Modeling of MOSFETs for RF IC Design (Invited Paper) ". Proceedings of SPIE, 2003.
- [I.10] **M. Valenza, A. Hoffmann, A. Laigle, A. Rigaud, and M. Marin**, "Impact of Downscaling on noise in MOSFETs (Invited Paper)". Proceedings of SPIE, 2003.
- [I.11] **Emmanuel rauly**. "Modélisation et simulation numérique des propriétés électriques Des transistors MOS-SOI Advanced". Thèse de doctorat, l'institut national polytechnique de Grenoble, 1999.
- [I.12] **Vojin G. Oklobdzija**, "The Computer Engineering Handbook", pp. 2-54, CRC Press,
- [I.15] **Havam Shahidi, et al**, "Partially-Depleted SOI Technology for Digital Logic". IEEE International Solid-State Circuits Conference, 1999.
- [I.16] **D. Allen et al.**, "A 0.2 μ m 1.8V SOI 550MHz 64b PowerPC Microprocessor with Copper Interconnects". International Solid-State Circuits Conference, pp. 438-439, February 1999.
- [I.17] **Colinge, J. P.** "Silicon-On-Insulator technology: Materials to VLSI". Kluwer Academic Publishers, Dordrecht, the Netherlands, 2004.
- [I.18] **C. Raynaud, T. Schwartzmann, A. Chantre, D. Gloria, E. De Foucauld, P. Scheer, C. Pavageau, and G. Dambrine**, "Is CMOS a Promising Technology for SoCs in High Frequency Range". Quebec City, Canada, May 15-20, 2005.
- [I.19] **Kerry Bernstein and Norman J. Rohrer**, "SOI Circuit Design Concepts". Kluwer Academic Publishers, Dordrecht, the Netherlands, 2000.
- [I.20] **Harry Veendrick**, "Deep-Submicron CMOS ICs". Kluwer Academic Publishers, Deventer, the Netherlands, 1998.
- [I.21] **F. Assaderaghi, et al**, "A Dynamic Threshold Voltage MOSFET (DTMOS) for Ultra Low-Voltage Operation". IEDM 1994.

- [I.22] **Jean-Pierre Colinge et Fernand Van De Wiele**, "Physique des dispositifs semi-conducteur". Boeck-Wesmael 1996.
- [I.23] **Solin Cristoloveanu and Sheng S.Li**, "Electrcal Characterzation of Silicon-On-Insulator Materials and Devices". Kluwer Acadimie publishers.1995.
- [I.24] **Jacques Gautier**, "Physique des dispositifs pour circuits intégrés silicium". Hermès- science.2003.
- [I.25] **Sous la direction de Gerald Roosen**, "Filière silicium et matériaux fonctionnels pour l'optoélectronique ". Hermès- science.2003.
- [I.26] **JP.colinge and C.A.colinge**, " physics of semiconductor devices". Springer publishers, New York, USA 2005.
- [I.27] **Christophe Pavageau**, "utilisations des technologies CMOS SOI 130 nm pour des applications en gamme de fréquences millimétriques ". Thèse doctorat, Lille.
- [II.1] **G.Moore**. " Trends in silicon device technology" IEDM Tech.Digest, p.(1968).
- [II.2] **G.Moore**. " Progress in digital integreted electronics" IEDM Tech.Digest, p. 11(1975).
- [II.3] **D.J. Frank,R. H. Dennard,E. Nowark**, " Device scaling limits of si MOSFETS and their application dependencies".Proc.IEEE,vol.89,no.3,pp.259-288,(2001).
- [II.4] **H.S. Wong, D. Frank and P. Solomon**, " Device Design Consideations for double-gate, Ground-Plane, and Single-Gated Ultra-Thin SOIMOSFET's at the 25 nm Channel Length Generation". IEDM Tech.Didest, pp.407-410, (1998).
- [II.5] **F. Pregaldiny** " etude et modelisation du comportement electrique des transistors MOS fortement submicroniques " These de Doctorat de Universite Louis Pasteur strasbourg France 2003.

- [II.6] **Alexandre siligaris, gilles dambrine, dominique schreues, and francois danneville**, "130nm partially depleted SOI MOSFET Nonlinear Model Including the Kink Effect for Linearity properties Investigation".
- [II.7] **Y. Cheng**, "Flicker Noise Characterization and Modeling of MOSFETs for RF IC Design (Invited Paper)," Proceedings of SPIE, 2003.
- [II.8] **Sorin Cristoloveanu**. "Silicon on insulator technologies and devices" : from present to Future. Solid-State Electronics.2001
- [II. 9] **S-I. Nakamura, T. Ohguro, T. Yoshitomi, et al**, " Study of the manufacturing feasibility of 1.5 nm direct-tunneling gate oxide MOSFETs: Uniformity, reliability, and dopant penetration of the oxide" IEEE Transactions on Electron Devices, vol. 45, no. 3, pp.691-700,(1998).
- [II. 10] **Mathilde Fontez** "Processeur: les 45 nanometres sont atteints " science and vie, p. 94-97 (2008).
- [II. 11] **B. Guillaumot, X. Garros, F. Lime et al**, " 75 nm damascene metal gate and high-k integration for advanced CMOS devices" , IEDM Tech. Deg, P.355,(2002).
- [II.12] **B.H. Lee, L. kang, W.J. Qi, et al**, " Ultrathin hafnium oxide with low leakage and excellent reliability for alternative gate dielectric application," IDEM Tech. Digest., pp. 556,(1999).
- [II.13] **J. Kedzierski, D. Boyd, Y. Zhang, M. Steen et al**, " Issues in NiSi-gates FDSOI device integration ", IEDM Tech. Digest, p.441,(2003).
- [II. 14] **B. Doris, M. Jeong, H. Zhu et al**, " Device design consideration for ultra-thin SOI MOSFET ", IEDM Tech. Digest., p. 631, (2003).
- [II.15] **Delphine Aime** "Modulation du travail de sortie de grilles métalliques totalement siliciées pour des dispositifs CMOS deca-nanométriques" Thèse de doctorat, Institut National des Sciences Appliquées de Lyon, (2007).
- [II.16] **A. Asenov**, " Random dopant induced threshold voltage lowering and fluctuations in sub- 0.1µm MOSFETs: A 3-D (atomistic) simulation study," IEEE Transactions on Electron Devices, vol.45, no.12, pp.2505-2513,(1998).

- [II.17] **S. Barraud, P. Dollfus, S. Galdin, and P. Hesto**, " Short-range and long –range Coulomb interactions for 3D Monte Caro device simulation with discrete impurity distribution", *solid-state Electron.* 46, 1061(2002).
- [II.18] **S. M. sze** "Phsics of semiconductor devices". Second edition, John Wiley and Sons,(1981).
- [II.19] **H. Veendrick**, *Deep-Submicron CMOS ICs*, Kluwer Academic Publishers, Deventer, the Netherlands, 1998.
- [III.1] **R. M. Swanson and J. D. Meindl**, "Ion-implanted Complementary MOS Transistors In Low-Voltage Circuits," *IEEE Journal of Solid-States Circuits*, vol. SC-7, pp. 146-153, April 1972.
- [III.2] **C. C. Enz, F. Krummenacher and E. A. Vittoz**, "An Analytical MOS Transistor Model Valid in All Regions of Operation and Dedicated to Low-Voltage and Low-Current Applications," *Special Issue Analog Integrated Circuits and Signal Processing J. Low-Voltage and Low-Power Design*, vol. 8, pp. 83-114, July 1995.
- [III.3] **B. Austin, K. Bowman, X. Tang and J. D. Meindl**, "A Low-Power ransregional MOSFET Model for Complete Power-Delay Analysis of CMOS Gigascale Integration (GSI)," in *Proc. 11th Annual IEEE Int. ASIC Conf.*, pp. 125-129, September 1998.
- [III.4] **K. Bowman, B. Austin, J. Eble, X. Tang and J. D. Meindl**, "A Physical Alpha- Power Law MOSFET Model," *IEEE Journal of Solid-States Circuits*, vol. 34, October 1999.
- [III.5] **S. M. Sze**, *Physics of Semiconductor Devices*, 2nd edition New-York: Wiley 1981.
- [III.6] **Alexandre Valentain**, "étude de la technologie SOI partiellement déserté a très basse tension pour minimiser l'énergie dissipée et application a des operateurs de calcul». Thèse de doctorat, l'Ecole Nationale Supérieure des Télécommunications. paris, 2005.
- [III.7] **BSIM GROUP**. "BSIMSOI3.1 MOSFET MODEL User Manual". Department Electrical Engineering and computer Sciences University of California, Berkely.2003.